

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 2 月 1 8 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 6 6 1 5 8  
Application Number:

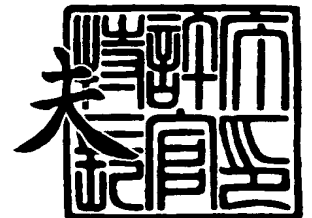
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 6 6 1 5 8 ]

出      願      人                      株式会社半導体エネルギー研究所  
Applicant(s):

2 0 0 3 年 1 0 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 8 8 9 6 4

【書類名】 特許願

【整理番号】 P006811

【提出日】 平成14年12月18日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 高山 徹

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 丸山 純矢

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 大野 由美子

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 田中 幸一郎

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

## 【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

**【書類名】 明細書****【発明の名称】 半導体装置の作製方法、半導体装置及び電子機器****【特許請求の範囲】****【請求項 1】**

第 1 の基板の表側に金属膜と、金属酸化膜と、絶縁膜と、半導体膜とを順に積層するように形成し、

前記半導体膜に対する吸収係数が  $5 \times 10^4 \text{ cm}^{-1}$  以上の波長を有するパルス発振された第 1 のレーザ光と、連続発振された第 2 のレーザ光とを、互いの照射領域が重なるように前記半導体膜に照射することで、前記半導体膜を結晶化し、

前記結晶化された半導体膜を用いて半導体素子を形成し、

前記半導体素子を間に挟んで前記第 1 の基板と向かい合うように、第 1 の接着剤を用いて第 2 の基板を貼り合わせ、

加熱処理を施すことで前記金属酸化膜を結晶化し、

前記金属酸化膜を前記金属膜側と前記絶縁膜側とに分離させることで、前記第 1 の基板及び前記第 3 の基板を取り除き、

前記金属酸化膜の一部が付着した前記絶縁膜に第 3 の接着剤を用いてインターポーザを貼り合わせ、

前記第 1 の接着剤を除去することで前記第 2 の基板を取り除き、

前記インターポーザと前記半導体素子とを電氣的に接続することを特徴とする半導体装置の作製方法。

**【請求項 2】**

第 1 の基板の表側に金属膜と、金属酸化膜と、絶縁膜と、半導体膜とを順に積層するように形成し、

前記半導体膜に対する吸収係数が  $5 \times 10^4 \text{ cm}^{-1}$  以上の波長を有するパルス発振された第 1 のレーザ光と、連続発振された第 2 のレーザ光とを、互いの照射領域が重なるように前記半導体膜に照射することで、前記半導体膜を結晶化し、

前記結晶化された半導体膜を用いて半導体素子を形成し、

前記半導体素子を間に挟んで前記第 1 の基板と向かい合うように、第 1 の接着剤を用いて第 2 の基板を貼り合わせ、

加熱処理を施すことで前記金属酸化膜を結晶化し、  
前記金属酸化膜を前記金属膜側と前記絶縁膜側とに分離させることで、前記第 1 の基板及び前記第 3 の基板を取り除き、  
前記金属酸化膜の一部が付着した前記絶縁膜に第 3 の接着剤を用いてインターポーザを貼り合わせることで、前記インターポーザと前記半導体素子とを電氣的に接続し、  
前記第 1 の接着剤を除去することで前記第 2 の基板を取り除くことを特徴とする半導体装置の作製方法。

#### 【請求項 3】

第 1 の基板の表側に金属膜と、金属酸化膜と、絶縁膜と、半導体膜とを順に積層するように形成し、  
前記半導体膜に対する吸収係数が  $5 \times 10^4 \text{ cm}^{-1}$  以上の波長を有するパルス発振された第 1 のレーザ光と、連続発振された第 2 のレーザ光とを、互いの照射領域が重なるように前記半導体膜に照射することで、前記半導体膜を結晶化し、  
前記結晶化された半導体膜を用いて半導体素子を形成し、  
前記半導体素子を間に挟んで前記第 1 の基板と向かい合うように、第 1 の接着剤を用いて第 2 の基板を貼り合わせ、  
加熱処理を施すことで前記金属酸化膜を結晶化し、  
前記金属酸化膜を前記金属膜側と前記絶縁膜側とに分離させることで、前記第 1 の基板及び前記第 3 の基板を取り除き、  
前記絶縁膜に部分的に付着した前記金属酸化膜を除去し、  
前記絶縁膜に第 3 の接着剤を用いてインターポーザを貼り合わせ、  
前記第 1 の接着剤を除去することで前記第 2 の基板を取り除き、  
前記インターポーザと前記半導体素子とを電氣的に接続することを特徴とする半導体装置の作製方法。

#### 【請求項 4】

第 1 の基板の表側に金属膜と、金属酸化膜と、絶縁膜と、半導体膜とを順に積層するように形成し、  
前記半導体膜に対する吸収係数が  $5 \times 10^4 \text{ cm}^{-1}$  以上の波長を有するパルス

発振された第1のレーザ光と、連続発振された第2のレーザ光とを、互いの照射領域が重なるように前記半導体膜に照射することで、前記半導体膜を結晶化し、  
前記結晶化された半導体膜を用いて半導体素子を形成し、  
前記半導体素子を間に挟んで前記第1の基板と向かい合うように、第1の接着剤を用いて第2の基板を貼り合わせ、  
前記第1の基板の裏側に第2の接着剤を用いて第3の基板を貼り合わせ、  
加熱処理を施すことで前記金属酸化膜を結晶化し、  
前記金属酸化膜を前記金属膜側と前記絶縁膜側とに分離させることで、前記第1の基板及び前記第3の基板を取り除き、  
前記金属酸化膜の一部が付着した前記絶縁膜に第3の接着剤を用いてインターポーザを貼り合わせ、  
前記第1の接着剤を除去することで前記第2の基板を取り除き、  
前記インターポーザと前記半導体素子とを電氣的に接続することを特徴とする半導体装置の作製方法。

【請求項5】

第1の基板の表側に金属膜と、金属酸化膜と、絶縁膜と、半導体膜とを順に積層するように形成し、

前記半導体膜に対する吸収係数が $5 \times 10^4 \text{ cm}^{-1}$ 以上の波長を有するパルス発振された第1のレーザ光と、連続発振された第2のレーザ光とを、互いの照射領域が重なるように前記半導体膜に照射することで、前記半導体膜を結晶化し、

前記結晶化された半導体膜を用いた半導体素子と、前記半導体素子に電氣的に接続されたパッドとを形成し、

前記半導体素子及び前記パッドを間に挟んで前記第1の基板と向かい合うように、第1の接着剤を用いて第2の基板を貼り合わせ、

前記第1の基板の裏側に第2の接着剤を用いて第3の基板を貼り合わせ、

加熱処理を施すことで前記金属酸化膜を結晶化し、

前記金属酸化膜を前記金属膜側と前記絶縁膜側とに分離させることで、前記第1の基板及び前記第3の基板を取り除き、

前記金属酸化膜の一部が付着した前記絶縁膜に第3の接着剤を用いてインター

ポーザを貼り合わせ、

前記第1の接着剤を除去することで前記第2の基板を取り除き、

前記インターポーザと前記パッドとを電氣的に接続することを特徴とする半導体装置の作製方法であって、

#### 【請求項6】

第1の基板の表側に金属膜と、金属酸化膜と、絶縁膜と、半導体膜とを順に積層するように形成し、

前記半導体膜に対する吸収係数が $5 \times 10^4 \text{ cm}^{-1}$ 以上の波長を有するパルス発振された第1のレーザ光と、連続発振された第2のレーザ光とを、互いの照射領域が重なるように前記半導体膜に照射することで、前記半導体膜を結晶化し、

前記結晶化された半導体膜を用いて複数の半導体素子を形成し、

前記複数の半導体素子を間に挟んで前記第1の基板と向かい合うように、第1の接着剤を用いて第2の基板を貼り合わせ、

加熱処理を施すことで前記金属酸化膜を結晶化し、

前記金属酸化膜を前記金属膜側と前記絶縁膜側とに分離させることで、前記第1の基板及び前記第3の基板を取り除き、

ダイシングにより前記第2の基板の少なくとも一部を分割することで、前記複数の半導体素子のうち少なくとも一つの半導体素子を切り離し、

前記分割された第2の基板の一部において、前記金属酸化膜の一部が付着した前記絶縁膜に第3の接着剤を用いてインターポーザを貼り合わせ、

前記第1の接着剤を除去することで前記分割された第2の基板の一部を取り除くことを特徴とする半導体装置の作製方法。

#### 【請求項7】

第1の基板の表側に金属膜と、金属酸化膜と、絶縁膜と、半導体膜とを順に積層するように形成し、

前記半導体膜に対する吸収係数が $5 \times 10^4 \text{ cm}^{-1}$ 以上の波長を有するパルス発振された第1のレーザ光と、連続発振された第2のレーザ光とを、互いの照射領域が重なるように前記半導体膜に照射することで、前記半導体膜を結晶化し、

前記結晶化された半導体膜を用いて複数の半導体素子を形成し、

前記複数の半導体素子を間に挟んで前記第1の基板と向かい合うように、第1の接着剤を用いて第2の基板を貼り合わせ、

加熱処理を施すことで前記金属酸化膜を結晶化し、

前記金属酸化膜を前記金属膜側と前記絶縁膜側とに分離させることで、前記第1の基板及び前記第3の基板を取り除き、

前記金属酸化膜の一部が付着した前記絶縁膜に第3の接着剤を用いてインターポーザを貼り合わせ、

ダイシングにより前記第2の基板及び前記インターポーザの少なくとも一部を分割することで、前記複数の半導体素子のうち少なくとも一つの半導体素子を切り離し、

前記第1の接着剤を除去することで前記分割された第2の基板の一部を取り除くことを特徴とする半導体装置の作製方法。

#### 【請求項8】

第1の基板の表側に金属膜と、金属酸化膜と、絶縁膜と、半導体膜とを順に積層するように形成し、

前記半導体膜に対する吸収係数が $5 \times 10^4 \text{ cm}^{-1}$ 以上の波長を有するパルス発振された第1のレーザ光と、連続発振された第2のレーザ光とを、互いの照射領域が重なるように前記半導体膜に照射することで、前記半導体膜を結晶化し、

前記結晶化された半導体膜を用いて複数の半導体素子を形成し、

前記複数の半導体素子を間に挟んで前記第1の基板と向かい合うように、第1の接着剤を用いて第2の基板を貼り合わせ、

加熱処理を施すことで前記金属酸化膜を結晶化し、

前記金属酸化膜を前記金属膜側と前記絶縁膜側とに分離させることで、前記第1の基板及び前記第3の基板を取り除き、

前記金属酸化膜の一部が付着した前記絶縁膜に第3の接着剤を用いてインターポーザを貼り合わせ、

前記第1の接着剤を除去することで前記第2の基板を取り除き、

ダイシングにより前記インターポーザの少なくとも一部を分割することで、前記複数の半導体素子のうち少なくとも一つの半導体素子を切り離すことを特徴と



する半導体装置の作製方法。

【請求項 9】

第 1 の基板の表側に金属膜と、金属酸化膜と、絶縁膜と、半導体膜とを順に積層するように形成し、

前記半導体膜に対する吸収係数が  $5 \times 10^4 \text{ cm}^{-1}$  以上の波長を有するパルス発振された第 1 のレーザ光と、連続発振された第 2 のレーザ光とを、互いの照射領域が重なるように前記半導体膜に照射することで、前記半導体膜を結晶化し、

前記結晶化された半導体膜を用いて半導体素子を形成し、

前記半導体素子を間に挟んで前記第 1 の基板と向かい合うように、第 1 の接着剤を用いて第 2 の基板を貼り合わせ、

前記金属酸化膜を前記金属膜側と前記絶縁膜側とに分離させることで、前記第 1 の基板及び前記第 3 の基板を取り除き、

前記金属酸化膜の一部が付着した前記絶縁膜に第 3 の接着剤を用いてインターポーザを貼り合わせ、

前記第 1 の接着剤を除去することで前記第 2 の基板を取り除き、

前記インターポーザと前記半導体素子とを電氣的に接続する半導体装置の作製方法であって、

前記半導体素子を形成する際に、加熱処理を施すことで前記金属酸化膜を結晶化することを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか 1 項において、

前記金属酸化膜は、前記金属膜の表面を酸化することで形成されていることを特徴とする半導体装置の作製方法。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか 1 項において、

前記第 1 のレーザ光は第 2 高調波を有することを特徴とする半導体装置の作製方法。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか 1 項において、

前記第 2 のレーザ光は基本波を有することを特徴とする半導体装置の作製方法。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか 1 項において、

前記結晶化において、前記半導体膜に対して前記第 1 のレーザ光の照射領域及び前記第 2 のレーザ光の照射領域を相対的に移動させており、前記半導体素子は、前記移動の向きに対して垂直の方向における前記第 2 のレーザ光の照射領域の幅に収まる領域に形成されていることを特徴とする半導体装置の作製方法。

【請求項 1 4】

請求項 1 3 において、前記移動の向きに対して垂直の方向における前記第 2 のレーザ光の照射領域の幅を 1 0 mm 以上 5 0 mm 以下とすることを特徴とする半導体装置の作製方法。

【請求項 1 5】

請求項 1 乃至請求項 1 4 のいずれか 1 項において、前記作製方法を用いて作製された事を特徴とする半導体装置。

【請求項 1 6】

請求項 1 5 において、前記半導体装置を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、集積回路（I C）が形成されたチップがマウントされた C S P（Chip Size Package）や M C P（Multi Chip Package）等の半導体装置（パッケージ）及びその作製方法に関し、さらには該パッケージが実装された電子機器に関する。

【0 0 0 2】

【従来技術】

携帯電話や電子手帳などに代表される携帯用電子機器には、メールの送受信、音声認識、小型カメラによる映像の取り込みなど様々な機能が要求されている一方、小型化、軽量化に対するユーザーニーズも依然強い。そのため、回路規模や

メモリ容量のより大きいチップを、携帯用電子機器の限られた容積の中により多く搭載する必要性に迫られている。

#### 【0003】

そこで、ICが作りこまれたチップをプリント配線基板に実装する技術として、パッケージの一種であるCSP (Chip Size Package) が注目されている。CSPはベアチップと同程度の小型化、軽量化を図ることができる。その上ベアチップと異なり、パッケージングメーカーから供給されたチップを電子機器メーカー側で実装する際に、クリーンルームや特殊なボンダ等の設備・技術を必要とせず、標準化に適している。またCSPは、チップを外部環境から守る保護機能、プリント配線基板のフットプリントを標準化することができる汎用化機能、サブミクロンスケールのチップの配線をプリント配線基板と同程度のミリメートルスケールまで拡大することができるスケール変換機能等の、ベアチップにはないパッケージの有利な機能をも併せ持っており、電子機器メーカーにとって、小型化、軽量化を実現するための不可欠な要素技術となっている。

#### 【0004】

そしてCSPの更なる小型化、軽量化を実現するために、CSPにマウントされているチップの薄型化が課題として認識されている。例えば下記非特許文献1には、チップの厚さ $5.0\mu\text{m}$ 以下が現時点で目標値であることが記載されている。

#### 【0005】

##### 【非特許文献1】

SEMICON Japan 2002, Dec. 5, 2002, 主催 SEMIジャパン、Technical programs for the semiconductor equipment and materials industries, 薄型チップ (ダイ) 実装の現状 ～ $50\mu\text{m}$ 以下への展望, 富士通 (株) 早坂昇 「標準化事例と今後標準化するべき事項」 p 1～p 8

#### 【0006】

##### 【発明が解決しようとする課題】

一般的に、CSPに代表されるパッケージにマウントされているチップの一連の作製工程には、後にチップとなる半導体素子が形成されたシリコンウェハの裏

面に、バックグランドと呼ばれる研磨処理を施す工程が設けられている。この研磨処理により、チップが薄型化され、パッケージを小型化、軽量化させることができる。

#### 【0007】

しかしこのバックグランド処理は、シリコンウェハの裏面に数十nm程度の深さの研磨痕を残すため、チップの機械的強度を低下させる一因となっている。時には研磨痕に加えて亀裂（クラック）が形成される場合もある。クラックは、その深さが数 $\mu\text{m}$ 、時には20 $\mu\text{m}$ にも及ぶことがある。この研磨痕やクラックは、共に後の工程におけるチップ破損の原因となっており、チップの薄膜化が進むにつれてこの問題は深刻になりつつある。

#### 【0008】

この問題に対処すべく、バックグランド処理を行なった後に、ストレスリリーフと呼ばれる工程を追加する場合がある。ストレスリリーフとはシリコンウェハの裏面を平坦化する処理であり、具体的にはプラズマエッチング、ウェットエッチング、ドライポリッシング等が行なわれる。しかし上記ストレスリリーフは、数十nm程度の深さの研磨痕を消すのには有効であるが、数 $\mu\text{m}$ ～20 $\mu\text{m}$ にも及ぶクラックに対する効果は今一つであり、また該クラックが消滅するほどストレスリリーフを行なうと処理時間が長くなり、チップの作製工程におけるスループットが低くなって好ましくない。

#### 【0009】

また裏面にバックグランド処理を施す際に、シリコンウェハの素子が形成されている表面にテープや基板を貼り付けて、素子を保護する必要がある。そのためバックグランド処理におけるシリコンウェハの厚さの制御は、実際にはシリコンウェハと、保護のために貼り付けられたテープや基板とを合わせたトータルの厚さで制御されることになる。よって、保護用のテープや基板に撓みがあったり、その厚さが均一でなかったりすると、研磨後のシリコンウェハの厚さに数 $\mu\text{m}$ ～数十 $\mu\text{m}$ 程度のむらが生じる。シリコンウェハの厚さは作製されるチップの特性に影響を与えるため、厚さにむらが生じると、チップの特性がばらつくという問題が出てくる。

## 【0010】

さらに、シリコンウェハはガラス基板などに比べて単価が高く、また市場に比較的多く流通しているシリコンウェハのサイズはせいぜい直径12インチ程度である。12インチよりも大きいサイズのシリコンウェハも市場に出回ってはいるが、サイズが大きくなるほど単位面積あたりの価格はさらに上昇するため、安価なチップを提供するのに適していない。しかし1つのシリコンウェハから作製されるチップの数には限りがあるので、直径12インチ程度のシリコンウェハではスループットを高めるのが難しく、大量生産に向いていない。

## 【0011】

本発明は上述した問題に鑑み、①クラックや研磨痕の原因となるバックグラインド処理を行わずして、チップを飛躍的に薄くすることができ、②より低いコストでなおかつより高いスループットでチップを作製することができ、③チップの厚さのバラツキを抑えることができる、パッケージとその作製方法の提供を課題とする。また該パッケージが実装された電子機器の提供を課題とする。

## 【0012】

## 【課題を解決するための手段】

本発明では、支持体として機能する基板上に成膜した膜厚500nm以下の薄膜の半導体膜を、連続発振のレーザ光で結晶化し、その結晶化された半導体膜を用いて、トータルの膜厚5 $\mu$ m、より望ましくは2 $\mu$ m以下の薄膜の半導体素子を有するチップを形成する。そして最終的に基板を剥離した状態で、該チップをインターポーザにマウントする。

## 【0013】

具体的には、第1の基板上に金属膜を成膜し、該金属の表面を酸化することで数nmの薄い金属酸化膜を成膜する。次に該金属酸化膜上に絶縁膜、半導体膜を順に積層するように成膜する。そして半導体膜を連続発振のレーザ光で結晶化し、その結晶化された半導体膜を用いて半導体素子を作製する。次に半導体素子を形成したら、該素子を覆うように第2の基板を貼り合わせ、半導体素子が第1の基板と第2の基板の間に挟まった状態にする。

## 【0014】

そして第1の基板の半導体素子が形成されている側とは反対の側に、第1の基板の剛性を補強するために第3の基板を貼り合わせる。第2の基板よりも第1の基板の剛性が高いほうが、第1の基板を引き剥がす際に、半導体素子に損傷が与えられにくくスムーズに剥がすことができる。ただし第3の基板は、後に第1の基板を半導体素子から引き剥がす際に、第1の基板の剛性が十分であれば、必ずしも貼り合わせる必要はない。

#### 【0015】

次に、加熱処理等を施すことで金属酸化膜を結晶化し、脆性を高め、基板を半導体素子から剥離しやすくする。そして第1の基板を第3の基板と共に、半導体素子から引き剥がす。なお、金属酸化膜を結晶化するための加熱処理は、第3の基板を貼り合わせる前であってもよいし、第2の基板を貼り合わせる前であってもよい。或いは、半導体素子を形成する工程において行なわれる加熱処理が、この金属酸化膜の結晶化の工程を兼ねていても良い。

#### 【0016】

この引き剥がしによって、金属膜と金属酸化膜の間で分離する部分と、絶縁膜と金属酸化膜の間で分離する部分と、金属酸化膜自体が双方に分離する部分とが生じる。いずれにしても、半導体素子は第2の基板側に貼り付くように、第1の基板から引き剥がされる。

#### 【0017】

そして第1の基板を剥離した後、半導体素子をインターポーザにマウントし、第2の基板を剥離する。なお、第2の基板は必ずしも剥離する必要はなく、例えばチップの厚さよりも機械的強度に重点を置くのならば、第2の基板をチップに貼り付けたまま完成としても良い。

#### 【0018】

またインターポーザとチップとの電気的な接続（ボンディング）は、フリップチップ法を用いても、またワイヤボンディング法を用いても良い。フリップチップ法を用いる場合、ボンディングはインターポーザへのマウントと同時に行なわれる。ワイヤボンディング法を用いる場合、ボンディングの工程は、チップをマウントし、第2の基板を剥離した後に行なう。

**【0019】**

なお1つの基板上に複数のチップを形成する場合、途中でダイシングを行ない、チップ同士を互いに切り離すようにする。ダイシングを施す工程は、半導体素子を形成した後のいずれかの工程間に挿入して行なう。望ましくは、①第1の基板を剥離した後マウントする前、②マウントした後第2の基板を剥離する前、③第2の基板を剥離した後のいずれかのタイミングで行なうのが良い。

**【0020】**

また本発明は、同一のインターポーザ上に複数のチップをマウントしてMCPを形成しても良い。この場合も、チップ間の電氣的なワイヤボンディング法を用いても良いし、フリップチップ法を用いても良い。

**【0021】**

またインターポーザは、プリント配線基板との電氣的接続をリードフレームで行なうタイプであっても良いし、 bumpsを用いて行うタイプであっても良いし、その他公知の形態を有していても良い。

**【0022】**

さらに本発明では、2つのレーザ光を用い、該2つのレーザ光を一方向に走査することによって結晶化された領域内に、1つのチップを形成する。2つのレーザ光をそれぞれ第1のレーザ光、第2のレーザ光とする。具体的に第1のレーザ光は、可視光線と同程度かそれより短い波長（830nm以下程度）を有する。

**【0023】**

パルス発振のレーザ光のみを用いて結晶化された半導体膜は、複数の結晶粒が集合して形成されており、その結晶粒の位置と大きさはランダムなものである。結晶粒内と比較して、結晶粒の界面（結晶粒界）は非晶質構造や結晶欠陥などに起因する再結合中心や捕獲中心が無数に存在している。この捕獲中心にキャリアがトラップされると、結晶粒界のポテンシャルが上昇し、キャリアに対して障壁となるため、キャリアの電流輸送特性が低下するという問題がある。一方、連続発振のレーザ光の場合、レーザ光の照射領域（ビームスポット）を一方向に走査させながら半導体膜に照射することで、走査方向に向かって結晶を連続的に成長させ、該走査方向に沿って長く延びた単結晶からなる結晶粒の集まりを形成する

ことができる。しかし連続発振のレーザ光は、パルス発振のレーザに比べて単位時間あたりのレーザ光の出力エネルギーが低く、ビームスポットの面積を広げてスループットを高めることが難しい。さらに、半導体装置に通常用いられる数十～数百 nm 厚の珪素膜を YAG レーザや YVO<sub>4</sub> レーザで結晶化させる場合、基本波よりも波長が短い第 2 高調波の方が吸収係数が高く、効率良く結晶化を行なうことができる。ところが、高調波に変換する非線形光学素子のレーザ光に対する耐性が著しく低いため、例えば連続発振の YAG レーザは、基本波を 10 kW 出力できるのに対し、第 2 高調波の出力エネルギーは 10 W 程度しか得られない。例えば Nd:YAG レーザの場合、基本波（波長：1064 nm）から第 2 高調波（波長：532 nm）への変換効率は 50 % 前後である。そのため、半導体膜の結晶化に必要なエネルギー密度を得るためにはビームスポットの面積を 10<sup>-3</sup>mm<sup>2</sup> 程度と小さくしなければならず、スループットの面でパルス発振の場合と比べ劣っている。

#### 【0024】

本発明では、高調波のパルス発振の第 1 のレーザ光により溶融した領域に、連続発振の第 2 のレーザ光を照射する。よって、第 1 のレーザ光によって半導体膜を溶融することで、第 2 のレーザ光の半導体膜への吸収係数が飛躍的に高まり、第 2 のレーザ光が半導体膜に吸収されやすくなる。図 2 に、レーザ光の波長（nm）と、非晶質珪素膜（アモルファスシリコン）の吸収係数（cm<sup>-1</sup>）との関係を示す。吸収係数が  $5 \times 10^4$  cm<sup>-1</sup> 以上であれば、第 1 のレーザ光により半導体膜を十分溶融させることができると考えられる。この数値範囲の吸収係数を得るためには、非晶質珪素膜の場合、第 1 のレーザ光の波長を 830 nm 以下とするのが望ましいと考えられる。なお、第 1 のレーザ光の波長と吸収係数の関係は、半導体膜の材料および結晶性等などによって異なる。よって第 1 のレーザ光の波長はこれに限定されず、吸収係数が  $5 \times 10^4$  cm<sup>-1</sup> 以上となるように適宜第 1 のレーザ光の波長を設定すれば良い。そして、第 1 のレーザ光により溶融した部分が、連続発振である第 2 のレーザ光の照射により溶融状態が維持されたまま半導体膜中で移動するので、走査方向に向かって連続的に成長した結晶粒の集まりを形成することができる。



## 【0025】

熔融状態の維持できる時間はパルス発振のレーザと連続発振のレーザの出力のバランスにより決まる。熔融状態の維持できる時間内で、次のパルス発振のレーザが半導体膜に照射されれば、前記熔融状態は保持されたまま半導体膜のアニールを続けることができる。極端な場合、一旦パルスレーザで半導体膜を熔融させれば、その後は、基本波の照射のみで、熔融状態が維持できる条件もあり得る。この場合、パルスレーザは1ショットのみ照射し、その後は連続発振のレーザで熔融状態を維持させればよい。

## 【0026】

なお高次の高調波ほどエネルギーが低くなるため、第1のレーザ光は、その基本波の波長が $1\mu\text{m}$ 程度である場合、第2高調波が最も望ましい。しかし本発明はこれに限定されず、第1のレーザ光は可視光線以下の波長を有していれば良い。また第2のレーザ光は、第1のレーザ光に対するエネルギーの補助という目的からして、半導体膜への吸収係数よりも出力される出力されるパワーが重要視される。よって、第2のレーザ光は基本波を用いるのが最も望ましい。しかし本発明はこれに限定されず、第2のレーザ光は基本波であっても高調波であってもよい。

## 【0027】

第2のレーザ光に基本波を用いる場合、波長を変換する必要がないので、非線形光学素子の劣化を考慮してエネルギーを抑えなくともよい。例えば第2のレーザ光は、連続発振の可視光線以下のレーザと比較して出力が100倍以上（例えば出力1000W以上）の出力とすることも可能である。よって非線形光学素子のメンテナンスの煩雑さをなくし、半導体膜に吸収されるレーザ光のトータルのエネルギーを高めることができ、より大粒径の結晶を得ることができる。

## 【0028】

またパルス発振は連続発振に比べて、発振されるレーザ光の、単位時間あたりのエネルギーが高い。また高調波と基本波では、高調波の方がエネルギーが低く、基本波の方がエネルギーが高い。本発明では、高調波または可視光線以下の波長を有するレーザ光はパルス発振とし、基本波のレーザ光は連続発振とすること

で、高調波と基本波を共に連続発振とする構成や、高調波を連続発振とし基本波をパルス発振とする構成に比べて、高調波のビームスポットと基本波のビームスポットが互いに重なり合う領域の広さを確保することができるので、チップの作製における設計上の制約を飛躍的に抑えることができる。

#### 【0029】

なお第1のレーザー光は、パルス発振のArレーザー、Krレーザー、エキシマレーザー、CO<sub>2</sub>レーザー、YAGレーザー、Y<sub>2</sub>O<sub>3</sub>レーザー、YVO<sub>4</sub>レーザー、YLFレーザー、YalO<sub>3</sub>レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti：サファイヤレーザー、銅蒸気レーザーまたは金蒸気レーザーを用いることで得られる。

#### 【0030】

また第2のレーザー光は、連続発振のArレーザー、Krレーザー、CO<sub>2</sub>レーザー、YAGレーザー、Y<sub>2</sub>O<sub>3</sub>レーザー、YVO<sub>4</sub>レーザー、YLFレーザー、YalO<sub>3</sub>レーザー、アレキサンドライドレーザー、Ti：サファイヤレーザーまたはヘリウムカドミウムレーザーを用いることで得られる。

#### 【0031】

例えば、連続発振のYAGレーザーとパルス発振のエキシマレーザーを例に挙げて、2つのレーザーによって形成される2つのビームスポットの重なりについて説明する。

#### 【0032】

図3（A）に、基本波を有する連続発振のYAGレーザーのビームスポット10と、第2高調波を有する連続発振のYAGレーザーのビームスポット11を重ねている様子を示す。基本波のYAGレーザーは10kW程度の出力エネルギーを得ることができ、また、第2高調波のYAGレーザーは、10W程度の出力エネルギーを得ることができる。

#### 【0033】

そして、レーザー光のエネルギーが100%半導体膜に吸収されるものと仮定すると、各レーザー光のエネルギー密度を0.01～100MW/cm<sup>2</sup>とすることで、半導体膜の結晶性の向上を図ることができる。よってここでは、エネルギー密度を1MW/cm<sup>2</sup>とする。

## 【0034】

そして基本波を有する連続発振のYAGレーザのビームスポット10の形状を矩形と仮定し、その短軸方向の長さを $L_{X1}$ 、長軸方向の長さを $L_{Y1}$ とすると、上記エネルギー密度を満たすためには、 $L_{X1}$ は $20\mu\text{m} \sim 100\mu\text{m}$ とし、例えば $L_{X1}=20\mu\text{m}$ の場合だと $L_{Y1}=50\text{mm}$ 程度、 $L_{X1}=30\mu\text{m}$ の場合だと $L_{Y1}=30\text{mm}$ 程度、 $L_{X1}=100\mu\text{m}$ の場合だと $L_{Y1}=10\text{mm}$ 程度、とするのが適当である。つまりこの場合、 $L_{Y1}$ は $10\text{mm}$ 以上 $50\text{mm}$ 以下がより良い結晶性を得るのに適当な値である。

## 【0035】

また高調波を有する連続発振のYAGレーザのビームスポット11の形状を矩形と仮定し、その短軸方向の長さを $L_{X2}$ 、長軸方向の長さを $L_{Y2}$ とすると、上記エネルギー密度を満たすためには、 $L_{X2}$ は $20\mu\text{m} \sim 100\mu\text{m}$ とし、例えば $L_{X2}=10\mu\text{m}$ の場合だと $L_{Y2}=100\mu\text{m}$ 程度とするのが適当である。

## 【0036】

基本波を有する連続発振のYAGレーザのビームスポット10と、第2高調波を有する連続発振のYAGレーザのビームスポット11とが重なる領域の面積は、ビームスポット11が完全にビームスポット10に重なっていると仮定すると、ビームスポット11の面積に相当する。

## 【0037】

次に、図3(B)に、基本波を有する連続発振のYAGレーザのビームスポット10と、パルス発振のエキシマレーザのビームスポット12を重ねている様子を示す。パルス発振のエキシマレーザは、1パルスあたり1J程度の出力エネルギーを得ることができる。また、パルス幅を $30\text{ns}$ 程度とすると、単位時間あたりの出力は $30\text{MW}$ となる。よって、パルス発振のエキシマレーザのビームスポット12の形状を矩形と仮定し、その短軸方向の長さを $L_{X3}$ 、長軸方向の長さを $L_{Y3}$ とすると、上記エネルギー密度を満たすためには、 $L_{X3}$ は $20\mu\text{m} \sim 500\mu\text{m}$ とし、例えば $L_{X3}=400\mu\text{m}$ の場合だと $L_{Y3}=300\text{mm}$ 程度とするのが適当である。

## 【0038】

基本波を有する連続発振の YAG レーザのビームスポット 10 と、パルス発振のエキシマレーザのビームスポット 12 とが重なる領域の面積は、ビームスポット 10 が完全にビームスポット 12 に重なっていると仮定すると、ビームスポット 10 の面積に相当する。

#### 【0039】

よって、図 3 (A) のように第 1 のレーザ光と第 2 のレーザ光を共に連続発振とするよりも、本発明のように第 1 のレーザ光を連続発振、第 2 のレーザ光をパルス発振としたほうが、2 つのレーザ光の重なる領域を大幅に広げることが可能であり、チップ作製における設計上の制約を飛躍的に抑え、スループットをより高めることができる。

#### 【0040】

なおレーザ光は 2 つに限定されず、2 つ以上であれば良い。高調波を有する第 1 のレーザ光を複数用いたり、第 2 のレーザ光を複数用いても良い。

#### 【0041】

なおビームスポットを線状とすることで、走査方向に結晶化された結晶粒が集まっている領域の、前記ビームスポットの長軸方向における幅を、できるだけ広くとることができる。つまり、長軸の両端に形成される結晶性の劣った領域の、全ビームスポットに占める面積の割合を、低減させることができると言える。しかし本発明においてビームスポットの形状は線状に限定されず、矩形状や面状であっても被照射体に対して十分なアニールを行えるのであれば問題はない。

#### 【0042】

またビームスポットを一方向に長い楕円状または矩形状に加工し、該ビームスポットの短軸方向に走査させて半導体膜を結晶化させるとスループットを高めることができる。加工後のレーザビームの形状が楕円状になるのは、元のレーザ光の形状が円形もしくはそれに近い形状であるからである。レーザ光の元の形状が長形状であれば、それをシリンドリカルレンズなどで 1 方向に拡大することでさらに長軸がさらに長くなるように加工してから、用いても良い。また複数のレーザビームをそれぞれ一方向に長い楕円状または矩形状に加工し、それらをつなげて一方向にさらに長いビームを作って、スループットをより高めるようにして

も良い。

#### 【0043】

なお、ここでいう「線状」は、厳密な意味で「線」を意味しているのではなく、アスペクト比の大きい長方形（もしくは長楕円形）を意味する。例えば、アスペクト比が2以上（好ましくは10～10000）のものを線状と呼ぶが、線状が矩形状に含まれることに変わりはない。

#### 【0044】

図1（A）に、第1及び第2のレーザ光で半導体膜を結晶化している様子を示す。101は第1の基板であり、第1の基板101上に半導体膜102が成膜されている。103は第1のレーザ光によって半導体膜102上に形成されるビームスポット（第1のビームスポット）、104は第2のレーザ光によって半導体膜102上に形成されるビームスポット（第2のビームスポット）に相当する。

#### 【0045】

破線の矢印はビームスポット103、104の、半導体膜102に対する相対的な移動方向を示している。ビームスポット103、104は、半導体膜102上において一方向に走査した後、該走査方向に対して垂直の方向にスライドする。そして次に、該一方向とは逆の一方向に向かって、再び半導体膜102上において走査する。このような走査を順に繰り返すことで、半導体膜102全面にビームスポット103、104を照射することができる。なお、ビームスポット103、104をスライドさせる距離は、ビームスポット103の走査方向に対して垂直の方向における幅と、ほぼ同じ程度とするのが望ましい。

#### 【0046】

また105～107は、後にチップとして用いる領域に相当し、各領域105～107はそれぞれ、第1及び第2のビームスポット103、104を一方向に走査することによって結晶化された領域内に収まるように、言い換えると、第2のビームスポット104の長軸の両端に形成される結晶性の劣った領域（エッジ）をチップが横切ることをないようにレイアウトされている。このようにレイアウトすることで、少なくとも結晶粒界のほとんど存在しない半導体膜を、チップ内の半導体素子に用いることができる。

## 【0047】

図1 (B) に、各領域105～107にそれぞれ形成されたチップ105a～107aを、インターポーザ108にマウントすることで形成されるパッケージの斜視図を示す。インターポーザ108へのマウントは、チップ105aとチップ106aのように積層するように行っても良いし、チップ107aのように単層でマウントするようにしても良い。またインターポーザ108に備えられている端子は、ソルダーボールが設けられたボールグリッドアレイ型であっても、端子が周辺に配置されているリードフレーム型であっても、その他公知の形態を有するタイプであっても良い。

## 【0048】

そして本発明では、レーザ光で半導体膜を結晶化させることにより、ガラス基板に与えられる熱的ダメージ抑えつつ結晶化を行なうことができるので、安価なガラス基板上に多結晶半導体膜を用いてチップを形成することができる。

## 【0049】

そして本発明は、シリコンウェハに比べて安価で大型のガラス基板を用いることができるので、より低いコストで、なおかつ高いスループットでチップを大量生産することができ、チップ一枚当たりの生産コストを飛躍的に抑えることができる。また、基板を繰り返し使用することも可能なので、チップ1枚あたりにかかるコストを削減することができる。

## 【0050】

また、トータルの膜厚を5  $\mu\text{m}$ 、より望ましくは2  $\mu\text{m}$ 以下となるようにチップを形成することが可能であり、クラックや研磨痕の原因となるバックグランド処理を行わずして、チップを飛躍的に薄くすることができる。そしてチップの厚さのバラツキも、チップを構成する各膜の成膜時におけるばらつきに依存することになるので、大きくても数百nm程度であり、バックグランド処理による数～数十  $\mu\text{m}$ のばらつきと比べて飛躍的に小さく抑えることができる。

## 【0051】

そして本発明のパッケージを電子機器に用いることで、回路規模やメモリ容量のより大きいチップを、電子機器の限られた容積の中により多く搭載することが

でき、電子機器の多機能を実現しつつ、小型化、軽量化させることもできる。特に携帯用電子機器の場合、その小型化、軽量化が重要視されているため、本発明のパッケージを用いることは有効である。

#### 【0052】

本発明のパッケージは、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) 等の表示装置の駆動を制御する各種回路に用いることができる。例えば、アクティブマトリクス型の液晶表示装置、発光装置の場合、各画素を選択する走査線駆動回路、選択された画素にビデオ信号を供給するタイミングを制御する信号線駆動回路、走査線駆動回路及び信号線駆動回路に供給する信号を生成するコントローラ等を、本発明のパッケージで形成することができる。また表示装置の駆動を制御する回路のみならず、マイクロプロセッサ (CPU)、メモリ、電源回路、またその他のデジタル回路やアナログ回路に本発明を適用させることが可能である。また、TFTに代表される半導体素子の特性が飛躍的に向上した暁には、一般的に高周波回路と呼ばれている各種回路を、本発明のパッケージで実現させることが可能となる。

#### 【0053】

また本発明の電子機器は、上記表示装置のみならず、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンポ等)、パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置 (具体的にはDVD (Digital Versatile Disc) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置) までその範囲に含む。特に本発明は、ノート型パーソナルコンピュータ、携帯型ビデオカメラ、携帯型デジタルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等) に代表される携帯用電子機器に用いる場合に有効である。

#### 【0054】

また本発明のパッケージは、CSP、MCPのみならず、DIP (Dual In-line Package)、QFP (Quad Flat Package)、SOP (Small Outline Package) などのあらゆる公知の形態のパッケージに適用することが可能である。

#### 【0055】

##### 【発明の実施の形態】

##### (実施の形態1)

本実施の形態では、第1及び第2のレーザ光により結晶化された薄膜の半導体膜で、パッケージを形成する方法について説明する。なお本実施の形態では半導体素子として2つのTFTを例に挙げて示すが、本発明においてチップに含まれる半導体素子はこれに限定されずあらゆる回路素子が含まれる。例えば、TFTの他に、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどが代表的に挙げられる。

#### 【0056】

まず図5 (A) に示すように、スパッタ法を用いて第1の基板500上に金属膜501を成膜する。ここでは金属膜501にタングステンをを用い、膜厚を10nm～200nm、好ましくは50nm～75nmとする。なお本実施の形態では第1の基板500上に直接金属膜501を成膜するが、例えば酸化珪素、窒化珪素、窒化酸化珪素等の絶縁膜で第1の基板500を覆ってから、金属膜501を成膜するようにしても良い。

#### 【0057】

そして金属膜501の成膜後、大気に曝すことなく酸化物膜502を積層するように成膜する。ここでは酸化物膜502として酸化珪素膜を膜厚150nm～300nmとなるように成膜する。なお、スパッタ法を用いる場合、第1の基板500の端面にも成膜が施される。そのため、後の工程における剥離の際に、酸化物膜502が第1の基板500側に残ってしまうのを防ぐために、端面に成膜された金属膜501と酸化物膜502とをO<sub>2</sub>アッシングなどで選択的に除去することが好ましい。

#### 【0058】

また酸化物膜502の成膜の際に、スパッタの前段階としてターゲットと基板



との間をシャッターで遮断してプラズマを発生させる、プレスパッタを行う。プレスパッタはArを10 sccm、O<sub>2</sub>をそれぞれ30 sccmの流量とし、第1の基板500の温度を270℃、成膜パワーを3 kWの平行状態に保って行なう。プレスパッタにより、金属膜501と酸化物膜502の間に極薄い数nm（ここでは3 nm）程度の金属酸化膜503が形成される。金属酸化膜503は、金属膜501の表面が酸化することで形成される。よって本実施の形態では、金属酸化膜503は酸化タングステンで形成される。

#### 【0059】

なお本実施の形態では、プレスパッタにより金属酸化膜503を形成しているが、本発明はこれに限定されない。例えば酸素、または酸素にAr等の不活性ガスを添加し、プラズマにより意図的に金属膜501の表面を酸化し、金属酸化膜503を形成するようにしても良い。

#### 【0060】

次に酸化物膜502を成膜した後、PCVD法を用いて下地膜504を成膜する。ここでは下地膜504として、酸化窒化珪素膜を膜厚100 nm程度となるように成膜する。そして下地膜504を成膜した後、大気に曝さずに半導体膜505を形成する。半導体膜505の膜厚は25～100 nm（好ましくは30～60 nm）とする。なお半導体膜505は、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01～4.5 atomic%程度であることが好ましい。

#### 【0061】

次に図5（B）に示すように、半導体膜505に第1及び第2のレーザ光を照射し、結晶化を行なう。

#### 【0062】

本実施の形態では第1のレーザ光として、エネルギー6 W、1パルスのエネルギー6 mJ/p、TEM<sub>00</sub>の発振モード、第2高調波（527 nm）、発振周波数1 kHz、パルス幅60 nsのYLFレーザを用いる。なお、第1のレーザ光を光学系により加工することで半導体膜502の表面に形成される第1のビーム

スポットは、短軸  $200\ \mu\text{m}$ 、長軸  $3\ \text{mm}$  の矩形形状とし、エネルギー密度を  $1000\ \text{mJ}/\text{cm}^2$  とする。

#### 【0063】

また本実施の形態では、第2のレーザ光としてエネルギー  $2\ \text{kW}$ 、基本波 ( $1064\ \mu\text{m}$ ) の YAG レーザを用いる。なお、第2のレーザ光を光学系により加工することで半導体膜 502 の表面に形成される第2のビームスポットは、短軸  $100\ \mu\text{m}$ 、長軸  $3\ \text{mm}$  の矩形形状とし、エネルギー密度を  $0.7\ \text{MW}/\text{cm}^2$  とする。

#### 【0064】

そして、半導体膜 505 の表面において、第1のビームスポットと第2のビームスポットを重ね合わせるように照射し、上記2つのビームを図5 (B) に示した白抜きの矢印の方向に向かって走査する。第1のレーザ光により熔融することで、基本波の吸収係数が高められ、第2のレーザ光のエネルギーが半導体膜に吸収されやすくなる。そして連続発振である第2のレーザ光の照射により熔融した領域が半導体膜中で移動するので、走査方向に向かって連続的に成長した結晶粒が形成される。該走査方向に沿って長く延びた単結晶の粒を形成することで、少なくとも TFT のチャネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。

#### 【0065】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を照射するようにしても良い。これにより、レーザ光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値のばらつきを抑えることができる。

#### 【0066】

レーザ光のビームスポットは、エネルギー密度の均一な領域の全体に占める割合を高めるために、線状、矩形形状または短軸に対する長軸の長さの比が5より大きい楕円形状を有しているのが望ましい。

#### 【0067】

上述した半導体膜 505 へのレーザ光の照射により、結晶性がより高められた

半導体膜 506 が形成される。次に、図 5 (C) に示すように半導体膜 506 をパターニングし、島状の半導体膜 507、508 が形成され、該島状の半導体膜 507、508 を用いて T F T に代表される各種の半導体素子が形成される。なお本実施の形態では、下地膜 504 と島状の半導体膜 507、508 とが接しているが、半導体素子によっては、下地膜 504 と島状の半導体膜 507、508 との間に、電極や絶縁膜等が形成されていても良い。例えば半導体素子の 1 つであるボトムゲート型の T F T の場合、下地膜 504 と島状の半導体膜 507、508 との間に、ゲート電極とゲート絶縁膜が形成される。

#### 【0068】

本実施の形態では、島状の半導体膜 507、508 を用いてトップゲート型の T F T 509、510 を形成する（図 5 (D) ）。具体的には、島状の半導体膜 507、508 を覆うようにゲート絶縁膜 511 を成膜する。そして、ゲート絶縁膜 511 上に導電膜を成膜し、パターニングすることで、ゲート電極 512、513 を形成する。そして、ゲート電極 512、513 や、あるいはレジストを成膜しパターニングしたものをマスクとして用い、島状の半導体膜 507、508 に n 型を付与する不純物を添加し、ソース領域、ドレイン領域、さらには L D D 領域等を形成する。なおここでは T F T 509、510 を n 型とするが、p 型の T F T の場合は、p 型の導電性を付与する不純物を添加する。

#### 【0069】

上記一連の工程によって T F T 509、510 を形成することができる。なお T F T の作製方法は、島状の半導体膜を形成した後に続く、上述した工程に限定されない。本発明の特徴の一つであるレーザ結晶化を用いることで、素子間の移動度、閾値及びオン電流のばらつきを抑えることができる。

#### 【0070】

次に T F T 509、510 を覆って第 1 の層間絶縁膜 514 を成膜する。そして、ゲート絶縁膜 511 及び第 1 の層間絶縁膜 514 にコンタクトホールを形成した後、コンタクトホールを介して T F T 509、510 と接続する配線 515～518 を、第 1 の層間絶縁膜 514 に接するように形成する。そして配線 515～518 を覆うように、第 1 の層間絶縁膜 514 上に第 2 の層間絶縁膜 519

を成膜する。

#### 【0071】

そして第2の層間絶縁膜519にコンタクトホールを形成し、該コンタクトホールを介して配線518と接続するパッド520が、第2の層間絶縁膜519上に形成される。なお本実施の形態では、パッド520が配線518を介してTFT510と電氣的に接続されているが、半導体素子とパッド520との電氣的な接続の形態は、これに限定されない。

#### 【0072】

次に、第2の層間絶縁膜519及びパッド520上に保護層521を形成する。保護層521は、後に第2の基板を張り合わせたり剥離したりする際に、第2の層間絶縁膜519及びパッド520の表面を保護することができ、なおかつ第2の基板の剥離後に除去することが可能な材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布し、焼成することで保護層521を形成することができる。

#### 【0073】

本実施の形態ではスピコートで水溶性樹脂（東亜合成製：VL-WSHL10）を膜厚30 $\mu$ mとなるように塗布し、仮硬化させるために2分間の露光を行ったあと、UV光を裏面から2.5分、表面から10分、合計12.5分の露光を行って本硬化させて、保護層521を形成する（図5（E））。

#### 【0074】

なお、複数の有機樹脂を積層する場合、有機樹脂同士では使用している溶媒によって塗布または焼成時に一部溶解したり、密着性が高くなりすぎる恐れがある。従って、第2の層間絶縁膜519と保護層521を共に同じ溶媒に可溶な有機樹脂を用いる場合、後の工程において保護層521の除去がスムーズに行なわれるように、第2の層間絶縁膜519を覆うように、なおかつ第2の層間絶縁膜519とパッド520との間挟まれるように、無機絶縁膜（SiN<sub>x</sub>膜、SiN<sub>x</sub>O<sub>y</sub>膜、AlN<sub>x</sub>膜、またはAlN<sub>x</sub>O<sub>y</sub>膜）を形成しておくことが好ましい。

#### 【0075】

次に、後の剥離を行ない易くするために、金属酸化膜503を結晶化させる。

結晶化により、金属酸化膜 503 が粒界において割れやすくなり、脆性を高めることができる。本実施の形態では、420℃～550℃、0.5～5時間程度加熱処理を行ない、結晶化を行なった。

#### 【0076】

次に、金属酸化膜 503 と酸化物膜 502 の間の密着性、または金属酸化膜 503 と金属膜 501 の間の密着性を部分的に低下させ、剥離開始のきっかけとなる部分を形成する処理を行う。具体的には、剥離しようとする領域の周縁に沿って金属酸化膜 503 にレーザー光を部分的に照射したり、或いは、剥離しようとする領域の周縁に沿って外部から局所的に圧力を加えて金属酸化膜 503 の層内または界面近傍の一部に損傷を与えたりする。本実施の形態では、ダイヤモンドペンなどの硬い針を金属酸化膜 503 の端部近傍に垂直に押しつけ、そのまま荷重をかけた状態で金属酸化膜 503 に沿って動かす。好ましくは、スクライバー装置を用い、押し込み量を 0.1mm～2mm とし、圧力をかけて動かせばよい。このように、剥離を行う前に、剥離が開始されるきっかけとなるような、密着性の低下した部分を形成することで、後の剥離工程における不良を低減させることができ、歩留まり向上につながる。

#### 【0077】

次いで、両面テープ 522 を用い、保護層 521 に第 2 の基板 523 を貼り付け、さらに両面テープ 524 を用い、第 1 の基板 500 に第 3 の基板 525 を貼り付ける（図 6（A））。なお両面テープではなく接着剤を用いてもよい。例えば紫外線によって剥離する接着剤を用いることで、第 2 の基板剥離の際に半導体素子にかかる負担を軽減させることができる。第 3 の基板 525 は、後の剥離工程で第 1 の基板 500 が破損することを防ぐ。第 2 の基板 523 および第 3 の基板 525 としては、第 1 の基板 500 よりも剛性の高い基板、例えば石英基板、半導体基板を用いることが好ましい。

#### 【0078】

次いで、金属膜 501 と酸化物膜 502 とを物理的に引き剥がす。引き剥がしは、先の工程において、金属酸化膜 503 の金属膜 501 または酸化物膜 502 に対する密着性が部分的に低下した領域から開始する。

**【0079】**

引き剥がしによって、金属膜501と金属酸化膜503の間で分離する部分と、酸化物膜502と金属酸化膜503の間で分離する部分と、金属酸化膜503自体が双方に分離する部分とが生じる。そして第2の基板523側に半導体素子（ここではTF T509、510）が、第3の基板525側に第1の基板500及び金属膜501が、それぞれ張り付いたまま分離する。引き剥がしは比較的小さな力（例えば、人間の手、ノズルから吹付けられるガスの風圧、超音波等）で行なうことができる。剥離後の状態を図6（B）に示す。

**【0080】**

次に、接着剤526でインターポーザ527と、部分的に金属酸化膜503が付着している酸化物層502とを接着する（図6（C））。このとき、両面テープ522による第2の基板523と保護層521との間の密着力よりも、接着剤526による酸化物層502とインターポーザ527との間の密着力の方が高くなるように、接着剤526の材料を選択することが重要である。

**【0081】**

なお、金属酸化膜503が酸化物膜502の表面に残存していると、インターポーザ527との密着性が悪くなる場合があるので、完全にエッチング等で除去してからインターポーザに接着させるようにし、密着性を高めるようにしても良い。

**【0082】**

インターポーザ527として、セラミックス基板、ガラスエポキシ基板、ポリイミド基板等の公知の材料を用いることができる。なおチップにおいて発生した熱を拡散させるために、2～30W/mK程度の高い熱伝導率を有するのが望ましい。

**【0083】**

インターポーザ527上には、パッケージ用の端子530が設けられており、端子530はインターポーザ527に設けられた溶剤ボール531と電氣的に接続されている。溶剤ボール531はインターポーザ527の端子530が設けられている面とは反対の面に設けられている。ここでは溶剤ボール5

31を1つだけ示しているが、実際には1つのインターポーザ527に複数設けられている。各ボール間のピッチは、一般的には0.8mm、0.65mm、0.5mmまたは0.4mmで標準化されている。しかし本発明は、これらのピッチに限定されない。また各ボールのサイズは、一般的にピッチの60%程度で標準化されている。しかし本発明は、これらのサイズに限定されない。

#### 【0084】

なお、端子530は、例えば銅にはんだ、金またはスズがメッキすることで形成されている。なお本実施の形態では溶ダーボールが設けられたボールグリッドアレイ型のインターポーザを用いているが、本発明はこれに限定されない。端子が周辺に配置されているリードフレーム型のインターポーザであっても良い。

#### 【0085】

接着剤526としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤が挙げられる。さらに好ましくは、銀、ニッケル、アルミニウム、窒化アルミニウムからなる粉末、またはフィラーを含ませて接着剤526も高い熱伝導性を備えていることが好ましい。

#### 【0086】

次に図7(A)に示すように、保護層521から両面テープ522と第2の基板523を順に、または同時に剥がす。

#### 【0087】

そして図7(B)に示すように保護層521を除去する。ここでは保護層521に水溶性の樹脂が使われているので、水に溶かして除去する。保護層521が残留していると不良の原因となる場合は、除去後の表面に洗浄処理やO<sub>2</sub>プラズマ処理を施し、残留している保護層521の一部を除去することが好ましい。

#### 【0088】

次に、ワイヤボンディング法を用いて、パッド520と端子530をワイヤ532で接続し、気密封止方式または樹脂封止方式等で封止することで、パッケージが完成する。気密封止方式を用いる場合、一般的にはセラミック、金属またはガラス等のケースを用いて封止する。また樹脂封止方式を用いる場合、具体的に

はモールド樹脂等が用いられる。なお必ずしもチップを封止する必要はないが、パッケージの機械的強度を高めたり、チップにおいて発生した熱を放熱したり、隣接する回路からの電磁ノイズを遮ったりすることができる。

#### 【0089】

なお本実施の形態では、金属膜501としてタングステンを用いているが、本発明において金属膜はこの材料に限定されない。その表面に金属酸化膜503が形成され、該金属酸化膜503を結晶化することで基板を引き剥がすことができるような金属を含む材料であれば良い。例えば、TiN、WN等は用いることができる。

#### 【0090】

なお本実施の形態では、1つのパッケージに1つのチップが搭載されたCSPの場合を例に挙げて説明したが、本発明はこれに限定されない。複数のチップが並列にまたは積層して搭載されたMCPであっても良い。

#### 【0091】

また第1のレーザ光と第2のレーザ光は、本実施の形態で示した照射条件に限定されない。

#### 【0092】

例えば第1のレーザ光として、エネルギー4W、1パルスのエネルギー2mJ/p、TEM<sub>00</sub>の発振モード、第2高調波(532nm)、発振周波数1kHz、パルス幅30nsのYAGレーザを用いることもできる。また例えば、第1のレーザ光として、エネルギー5W、1パルスのエネルギー0.25mJ/p、TEM<sub>00</sub>の発振モード、第3高調波(355nm)、発振周波数20kHz、パルス幅30nsのYVO<sub>4</sub>レーザを用いることもできる。また例えば、第1のレーザ光として、エネルギー3.5W、1パルスのエネルギー0.233mJ/p、TEM<sub>00</sub>の発振モード、第4高調波(266nm)、発振周波数15kHz、パルス幅30nsのYVO<sub>4</sub>レーザを用いることもできる。

#### 【0093】

そして、第2のレーザ光として、例えばエネルギー500W、基本波(1.064μm)のNd:YAGレーザを用いることができる。また例えば第2のレーザ光と



して、エネルギー 2000W、基本波 ( $1.064\mu\text{m}$ ) のNd:YAGレーザを用いることができる。

#### 【0094】

なお、走査方向に対して垂直な方向におけるビームスポットの幅を、チップを形成するのに十分な程度確保することができるのならば、第1のレーザ光は連続発振であっても良い。第1のレーザ光がパルス発振ではなく連続発振である場合、各チップを、第1のレーザ光のビームスポットの走査方向に対して垂直な方向における幅に収まる領域に形成する。そして、走査方向に対して垂直な方向におけるビームスポットの幅を、チップを形成するのに十分な程度確保するために、複数の第1のレーザ光によって得られる複数のビームスポットを互いに重ねて、1つのビームスポットとして用いても良い。

#### 【0095】

また、レーザ光による結晶化の前に、触媒元素を用いた結晶化工程を設けても良い。触媒元素としては、ニッケル (Ni) を用いているが、その以外にも、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au) といった元素を用いることができる。触媒元素を用いた結晶化工程の後に、レーザ光による結晶化工程を行うと、触媒元素による結晶化の際に形成された結晶が、基板により近い側においてレーザ光の照射により熔融されずに残存し、該結晶を結晶核として結晶化が進む。よってレーザ光の照射による結晶化は基板側から半導体膜の表面に向かって均一に進みやすく、レーザ光による結晶化工程のみの場合に比べて、より半導体膜の結晶性を高めることができ、レーザ光による結晶化後の半導体膜表面の荒れが抑えられる。よって後に形成される半導体素子、代表的にはTFTの特性のばらつきがより抑えられ、オフ電流を抑えることができる。

#### 【0096】

なお、触媒元素を添加してから加熱処理を行なって結晶化を促進してから、レーザ光の照射により結晶性をより高めていても良いし、加熱処理の工程を省略しても良い。具体的には、触媒元素を添加してから加熱処理の代わりにレーザ光の照射を照射し、結晶性を高めるようにしても良い。

## 【0097】

なお本発明においてチップの厚さには、半導体素子自体の厚さのみならず、金属酸化膜と半導体素子との間に設けた絶縁膜の厚さと、半導体素子を形成した後、に覆う層間絶縁膜の厚さと、パッドの厚さとを含め、バンプは含めない。

## (実施の形態2)

図4を用いて、本発明のパッケージの作製において用いるレーザ照射装置の構成について説明する。

## 【0098】

201はパルス発振のレーザ発振器であり、本実施の形態では、6WのNd:YLFレーザを用いる。レーザ発振器201は、TEM<sub>00</sub>の発振モードで、非線形光学素子により第2高調波に変換されている。特に第2高調波に限定する必要はないがエネルギー効率の点で、第2高調波の方が、さらに高次の高調波と比較して優れている。周波数は1kHz、パルス幅は60ns程度である。本実施の形態では、出力が6W程度の固体レーザを使用するが、出力が300Wに達するような大型レーザ、例えばXeClエキシマレーザなどを用いてもよい。

## 【0099】

非線形光学素子には、非線形光学定数の比較的大きいKTP (KTiOPO<sub>4</sub>)、BBO ( $\beta$ -BaB<sub>2</sub>O<sub>4</sub>)、LBO (LiB<sub>3</sub>O<sub>5</sub>)、CLBO (CsLiB<sub>6</sub>O<sub>10</sub>)、GdYCOB (YCa<sub>4</sub>O(BO<sub>3</sub>)<sub>3</sub>)、KDP (KD<sub>2</sub>PO<sub>4</sub>)、KB5、LiNbO<sub>3</sub>、Ba<sub>2</sub>NaNb<sub>5</sub>O<sub>15</sub>等の結晶が用いられており、特にLBOやBBO、KDP、KTP、KB5、CLBO等を用いることで基本波から高調波への変換効率を高めることができる。

## 【0100】

レーザ光は通常水平方向に射出されることから、レーザ発振器201から発振された第1のレーザ光は、反射ミラー202にて、鉛直方向からの角度(入射角)が $\theta_1$ となる方向に、その進行方向が変換される。本実施の形態では、 $\theta_1 = 21^\circ$ とする。進行方向が変換された第1のレーザ光は、レンズ203によりそのビームスポットの形状が加工され、被処理物204に照射される。図4では、反射ミラー202とレンズ203とが第1のレーザ光のビームスポットの形状及

び位置を制御する光学系に相当する。

#### 【0 1 0 1】

図 4 では、レンズ 2 0 3 として平凹シリンドリカルレンズ 2 0 3 a と、平凸シリンドリカルレンズ 2 0 3 b を用いている。平凹シリンドリカルレンズ 2 0 3 a は、曲率半径 1 0 mm、厚さ 2 mm であり、第 1 のレーザ光の進行方向を光軸としたときに、被処理物 2 0 4 の表面から光軸に沿って 2 9 mm の位置に配置されている。そして平凹シリンドリカルレンズ 2 0 3 a の母線と被処理物 2 0 4 に入射する第 1 のレーザ光の入射面とを垂直とする。

#### 【0 1 0 2】

平凸シリンドリカルレンズ 2 0 3 b は、曲率半径 1 5 mm、厚さ 2 mm であり、被処理物 2 0 4 の表面から光軸に沿って 2 4 mm の位置に配置されている。そして平凸シリンドリカルレンズ 2 0 3 b の母線は、被処理物 2 0 4 に入射する第 1 のレーザ光の入射面と平行とする。

#### 【0 1 0 3】

これにより、被処理物 2 0 4 において 3 mm × 0.2 mm のサイズの第 1 のビームスポット 2 0 6 が形成される。

#### 【0 1 0 4】

また 2 1 0 は、連続発振のレーザ発振器であり、本実施の形態では 2 kW、基本波の Nd:YAG レーザを用いる。レーザ発振器 2 1 0 から発振された第 2 のレーザ光は、 $\phi 300\ \mu\text{m}$  の光ファイバー 2 1 1 により伝送される。光ファイバー 2 1 1 は、鉛直方向に対する射出口の向きが角度  $\theta 2$  となるように配置されている。本実施の形態では  $\theta 2 = 45^\circ$  とする。また光ファイバー 2 1 1 の射出口は、レーザ発振器 2 1 0 から射出する第 2 のレーザ光の光軸に沿って被処理物 2 0 4 から 1 0 5 mm の位置に配置されており、該光軸は入射面に含まれるようにする。

#### 【0 1 0 5】

光ファイバー 2 1 1 から出射した第 2 のレーザ光は、レンズ 2 1 2 によりそのビームスポットの形状が加工され、被処理物 2 0 4 に照射される。図 4 では、光ファイバー 2 1 1 とレンズ 2 1 2 とが第 2 のレーザ光のビームスポットの形状及び位置を制御する光学系に相当する。図 4 では、レンズ 2 1 3 として平凸シリ

ドリカルレンズ 212a と、平凸シリンドリカルレンズ 212b を用いている。

#### 【0106】

平凸シリンドリカルレンズ 212a は、曲率半径 15 mm、厚さ 4 mm であり、被処理物 204 の表面から第 2 のレーザ光の光軸に沿って 85 mm の位置に配置されている。平凸シリンドリカルレンズ 212a の母線の方法は入射面と垂直とする。平凸シリンドリカルレンズ 212b は、曲率半径 10 mm、厚さ 2 mm であり、被処理物 204 の表面から第 2 のレーザ光の光軸に沿って 25 mm の位置に配置されている。

#### 【0107】

これにより、被処理物 204 において、3 mm×0.1 mm のサイズの第 2 のビームスポット 205 が形成される。

#### 【0108】

本実施の形態では、被処理物 204 として半導体膜が成膜された基板を、水平面と平行になるように設置する。半導体膜は例えば、ガラス基板の表面に成膜する。半導体膜が成膜された基板は、厚さ 0.7 mm のガラス基板であり、レーザ照射の際に基板が落ちないように、吸着ステージ 207 に固定されている。吸着ステージ 207 は、X 軸用の一軸ロボット 208 と Y 軸用の一軸ロボット 209 により、被処理物 204 に平行な面内において XY 方向に移動が可能である。

#### 【0109】

なお、レーザ光に対して透光性を持つ基板上に成膜された半導体膜をアニールする場合、均一なレーザ光の照射を実現するためには、照射面に垂直な平面であって、かつビームの形状を長方形と見立てたときの短辺を含む面または長辺を含む面のいずれか一方を入射面と定義すると、前記レーザ光の入射角  $\phi$  は、入射面に含まれる前記短辺または前記長辺の長さが  $W$ 、前記照射面に設置され、かつ、前記レーザ光に対して透光性を有する基板の厚さが  $d$  であるとき、 $\phi \geq \arctan(W/2d)$  を満たすのが望ましい。複数のレーザ光を使用する場合、この議論は個々のレーザ光について成り立つ必要がある。なお、レーザ光の軌跡が、前記入射面上にないときは、該軌跡を該入射面に射影したものの入射角度を  $\phi$  とする。この入射角度  $\phi$  でレーザ光が入射されれば、基板の表面での反射光と、前記基板

の裏面からの反射光とが干渉せず、一様なレーザ光の照射を行うことができる。以上の議論は、基板の屈折率を 1 として考えた。実際は、基板の屈折率が 1.5 前後のものが多く、この数値を考慮に入れると上記議論で算出した角度よりも大きな計算値が得られる。しかしながら、ビームスポットのエネルギーはビームスポットの端に近づくに従い減衰があるため、この部分での干渉の影響は少なく、上記の算出値で十分に干渉減衰の効果が得られる。この議論は、第 1 のレーザ光に対しても、第 2 のレーザ光に対しても成り立ち両方とも上記不等式を満たしているほうが好ましいが、エキシマレーザのように極端にコヒーレント長の短いレーザに関しては、上記不等式を満たさなくても問題はない。上記の  $\phi$  に対する不等式は、基板がレーザ光に対して透光性を有する場合にのみ適用される。

#### 【0110】

一般に、ガラス基板は波長が  $1\ \mu\text{m}$  程度の基本波や緑色の第 2 高調波に対して透光性を有する。本レンズが不等式を満たすためには、平凸シリンドリカルレンズ 203b と平凸シリンドリカルレンズ 212b の位置を入射面と垂直な方向にずらしてビームスポットの短軸を含む被処理物 204 の表面に垂直な面内において入射角度  $\phi_1$ 、 $\phi_2$  を持たせ、不等式を満たすようにすればよい。この場合、第 1 のビームスポット 206 においては、 $\phi_1 = 10^\circ$ 、第 2 のビームスポット 205 においては  $\phi_2 = 5^\circ$  程度の傾きがあれば、干渉は起こらない。

#### 【0111】

なお第 1 のレーザ光と第 2 のレーザ光は、安定形共振器から得られる TEM<sub>00</sub> モード（シングルモード）であることが望ましい。TEM<sub>00</sub> モードの場合、レーザ光はガウス形の強度分布を持ち、集光性に優れているため、ビームスポットの加工が容易となる。

#### 【0112】

そして、Y 軸ロボット 209 を用いて第 2 のビームスポット 205 の短軸方向に、被処理物 204（半導体膜が成膜された基板）を走査する。このとき各レーザ発振器 201、202 の出力は仕様値とする。この被処理物 204 の走査により、第 1 のビームスポット 206 及び第 2 のビームスポット 205 が、被処理物 204 の表面に対して相対的に走査されることになる。

## 【0 1 1 3】

第1のビームスポット206が当たっている領域において半導体膜が熔融することで、連続発振の第2のレーザ光の半導体膜への吸収係数が飛躍的に高まる。よって、走査方向に延びた、第2のビームスポット205の長軸に相当する幅1～2mmの領域に、該走査方向に結晶成長した単結晶の結晶粒が敷き詰められた状態で形成される。

## 【0 1 1 4】

なお半導体膜のうち、第1ビームスポット206及び第2のビームスポット205が重なって照射される領域は、第2高調波の第1のレーザ光によって吸収係数が高められた状態が、基本波である第1のレーザ光によって維持されていることになる。よって、たとえ第2高調波の第1のレーザ光の照射が途絶えたとしても、その後基本波である第1のレーザ光によって、半導体膜が熔融して吸収係数が高められた状態が維持される。したがって、第2高調波の第1のレーザ光の照射が途絶えた後も、その熔融して吸収係数が高められた領域を、走査によりある程度一方向に移動させることができ、これにより走査方向に向かって成長した結晶粒が形成されることとなる。そして、吸収係数が高められた領域を、走査の過程において連続して維持しつづけるために、第2高調波の第1のレーザ光を再び照射し、エネルギーを補充するのが望ましい。

## 【0 1 1 5】

なお第1のビームスポット206及び第2のビームスポット205の走査速度は、数cm/s～数百cm/s程度が適当であり、ここでは50cm/sとする。

## 【0 1 1 6】

第2のレーザ光が照射され、走査方向に成長した結晶粒が形成されている領域は、結晶性に非常に優れている。そのため、該領域をTFTのチャネル形成領域に用いることで、極めて高い電気移動度や、オン電流を期待できる。しかし半導体膜のうち、そのような高い結晶性が必要とされない部分が存在する場合、該部分にはレーザ光を照射しないようにしても良い。もしくは、走査の速度を増加させるなど、高い結晶性が得られないような条件でレーザ光の照射を行うようにしても良い。例えば、2m/s程度の速度で走査させると、a-Si膜を結晶化させる

ことができるが、上述したような走査方向に連続して結晶化されているような領域は形成されにくい。そして、走査速度を部分的に高めることで、スループットを更に高めることができる。

#### 【0117】

なお本発明のレーザ照射装置における、光学系は、本実施の形態で示した構成に限定されない。

#### 【0118】

##### (実施の形態3)

第1の基板上に複数のチップを同時に作製する場合、パッケージとして完成する前に、途中でダイシングを行ない、チップどうしを切り離す必要がある。本実施の形態では、ダイシングのタイミングについて説明する。

#### 【0119】

図8は、パッケージの作製工程の、フローチャートの一例に相当する。なお、ワイヤボンディング法とフリップチップ法とでは、集積回路への電氣的接続を行なう端子として機能する、パッドの位置が異なる。ここでは、素子を形成した後にパッドを形成する場合のフローチャートの流れを実線の矢印で、素子を形成する前にパッドを形成する場合のフローチャートの流れを破線の矢印で示す。

#### 【0120】

素子を形成した後に、パッドを形成する場合について説明する。まず、第1の基板上に金属膜を形成し、次に該金属膜の表面を酸化することで金属酸化膜を形成する。そして金属酸化膜上に絶縁膜を成膜した後、素子（半導体素子）を形成する工程に入る。本発明では素子を形成する工程において、半導体膜のレーザ結晶化が行なわれる。レーザ結晶化の詳しい説明については、既に述べたのでここでは省略する。素子が形成され、集積回路が完成したあと、パッドを形成する。その後、素子とパッドを覆うように保護層を形成し、第2の基板を保護層側に、第3の基板を第1の基板側に貼り合わせる。そして、第1及び第3の基板を素子から引き剥がすように剥離する。次に、第2の基板に貼りついている素子をインターポーザにマウントし、第2の基板及び保護層を取り除いた後ボンディングし、封止してパッケージとして完成する。

**【0121】**

この場合、パッドは素子を間に挟んでインターポーザの反対側にあるので、インターポーザとチップとの間のボンディングは、ワイヤボンディング法を用いることができる。ワイヤボンディング法を用いる場合、ボンディングの工程は、チップをマウントし、第2の基板を取り除いた後に行なう。そしてこの場合、ダイシングするタイミングは、図9（A）に示すように、第1及び第3の基板を剥離した後マウントする前に行なうのが良い。

**【0122】**

素子を形成する前に、パッドを形成する場合について説明する。まず、第1の基板上に金属膜を形成し、次に該金属膜の表面を酸化することで金属酸化膜を形成する。そして金属酸化膜上に絶縁膜を成膜した後、パッドを形成し、それから素子（半導体素子）を形成する工程に入る。素子とパッドの間にもう一層絶縁膜を設けておいて、コンタクトホールを形成して素子とパッドを電氣的に接続しても良いし、同一の絶縁膜上に両方共形成し、コンタクトホールを介さずに電氣的に接続しても良い。素子が形成され、集積回路が完成した後、素子を覆うように保護層を形成し、第2の基板を保護層側に、第3の基板を第1の基板側に貼り合わせる。そして、第1及び第3の基板を素子から引き剥がすように剥離する。なお、パッドは素子とインターポーザ間に来ることになるので、インターポーザとチップとの間のボンディングは、フリップチップ法を用いることができる。よって、絶縁膜を部分的にエッチングしてパッドを露出させた後、パッド上にバンプを形成する。このエッチングの際に用いる、位置合わせのためのマーカーは、素子を形成する際に半導体膜を用いて形成しておくが良い。次に、第2の基板に貼りついている素子をインターポーザにマウントし、バンプでボンディングした後、第2の基板及び保護層を取り除いた後、封止してパッケージとして完成する。

**【0123】**

この場合、ダイシングするタイミングは、図9（A）に示すように、第1及び第3の基板を剥離した後、マウントする前に行なうのが良い。なお図9（A）の場合ダイシングは、バンプを形成する前でも、形成した後でもどちらでも良い。また図9（B）に示すように、マウントした後第2の基板を剥離する前に行なっ



ても良いし、図9（C）に示すように、第2の基板を剥離した後に行なっても良い。

#### 【0124】

なお、上述した説明は、1つのインターポーザにチップを1つだけマウントすることを前提にしているが、本発明はこれに限定されない。同一の第1の基板上に形成されたチップ同士を積層する場合、図9（A）に示すようにマウントする前にダイシングを行なうのが良い。そして、各チップは、順に下段のチップから第2の基板が剥離されてから、マウントされる。

#### 【0125】

また異なる第1の基板上に別個に形成されたチップを互いに積層する場合、インターポーザに最初にマウントするチップのダイシングは、図9（A）に示すタイミングに限定されず、図9（B）や図9（C）に示すタイミングでも行なうことができる。ただしこの場合も、各チップは、順に下段のチップから第2の基板が剥離されてから、マウントされる。

#### 【0126】

なお、パッドを形成する工程と、半導体素子を形成する工程とは必ずしも互いに明確に分けることはできない。例えば半導体素子としてトップゲート型のTFTを用い、パッドを該TFTのゲート電極と同じ工程で作製する場合、パッドを作製する工程は半導体素子を作製する工程に含まれてしまう。この場合は、チップがインターポーザにマウントされる際に、パッド（或いはバンプ）がインターポーザ側に向かって露出するのか、インターポーザとは反対の側に向かって露出するのかで判断する。すなわち前者の場合、素子を形成する前にパッドを形成する場合と同じタイミングでダイシングできる。また後者の場合、素子を形成した後にパッドを形成する場合と同じタイミングでダイシングできる。

#### 【0127】

（実施の形態4）

本実施の形態では、インターポーザとチップとの電気的な接続の仕方について説明する。

#### 【0128】

図10 (A) に、ワイヤボンディング法でチップがインターポーザに接続されている、パッケージの断面構造を表す斜視図を示す。301はインターポーザ、302はチップ、303はモールド樹脂層に相当する。チップ302はインターポーザ301上に、マウント用の接着剤304によりマウントされている。

#### 【0129】

また図10 (A) に示すインターポーザ301は、溶ダーボール305が設けられたボールグリッドアレイ型である。溶ダーボール305は、インターポーザ301のチップ302がマウントされている側とは反対の側に設けられている。そしてインターポーザ301に設けられた配線306は、インターポーザ305に設けられたコンタクトホールを介して、溶ダーボール305と電氣的に接続している。

#### 【0130】

なお本実施の形態では、チップ302と溶ダーボール305との電氣的な接続をするための配線306を、インターポーザ305のチップがマウントされている面上に設けているが、本発明で用いるインターポーザはこれに限定されない。例えば、インターポーザの内部において配線が多層化されて設けられていても良い。

#### 【0131】

そして、図10 (A) では、チップ302と配線306とが、ワイヤ307によって電氣的に接続されている。図10 (B) に、図10 (A) に示したパッケージの断面図を示す。チップ302には半導体素子309が設けられており、またチップ302のインターポーザ301が設けられている側とは反対側に、パッド308が設けられている。パッド308は該半導体素子309と電氣的に接続されている。そしてパッド308は、インターポーザ301に設けられた配線306と、ワイヤ307によって接続されている。

#### 【0132】

310はプリント配線基板の一部に相当し、311はプリント配線基板310に設けられた配線または電極に相当する。配線306は溶ダーボール305を介して、プリント配線基板310に設けられた配線または電極311に接続され

る。なお溶ダーボール 305 と、配線または電極 311 との接続は、熱圧着や、超音波による振動を加えた熱圧着等様々な方法を用いることができる。なお、アンダーフィルが圧着後の溶ダーボール間の隙間を埋めるようにし、接続部分の機械的強度や、パッケージで発生した熱の拡散などの効率を高めるようにしても良い。アンダーフィルは必ずしも用いる必要はないが、インターポーザとチップの熱膨張係数のミスマッチから生ずる応力により、接続不良が起こるのを防ぐことができる。超音波を加えて圧着する場合、単に熱圧着する場合に比べて接続不良を抑えることができる。特に、接続するバンプが 300 程度よりも多い場合に有効である。

### 【0133】

次に図 10 (C) に、フリップチップ法を用いてチップがインターポーザに接続されている、パッケージの断面図を示す。図 10 (C) に示すパッケージは、チップ 322 に溶ダーボール 327 が設けられている。溶ダーボール 327 は、チップ 322 のインターポーザ 321 側に設けられており、同じくチップ 322 に設けられたパッド 328 に接続されている。そしてチップ 322 に設けられている半導体素子 329 が、パッド 328 とが接続されている。パッド 328 は、半導体素子 329 として T F T を用いる場合、該 T F T のゲート電極と同じの導電膜から形成されていても良い。

### 【0134】

溶ダーボール 327 は、インターポーザ 321 に設けられた配線 326 と接続されている。そして図 10 (C) では、溶ダーボール 327 間の隙間を埋めるように、アンダーフィル 324 が設けられている。またインターポーザ 321 の溶ダーボール 325 は、インターポーザ 321 のチップ 322 がマウントされている側とは反対の側に設けられている。そしてインターポーザ 321 に設けられた配線 326 は、インターポーザ 325 に設けられたコンタクトホールを介して、溶ダーボール 325 と電氣的に接続している。

### 【0135】

フリップチップ法の場合、接続すべきパッドの数が増加しても、ワイヤボンディング法に比べて、比較的パッド間のピッチを広く確保することができるので

、端子数の多いチップの接続に向いている。

#### 【0136】

次に図10（D）に、フリップチップ法を用いてチップが積層されている、パッケージの断面図を示す。図10（D）に示すパッケージは、インターポーザ333上に2つのチップ330、331が積層されている。そしてインターポーザ333に設けられた配線335と、チップ330との電氣的な接続は、溶剤ボール334を用いて行なわれている。また、チップ330とチップ331との電氣的な接続は、溶剤ボール332を用いて行なわれている。

#### 【0137】

なお図10（A）～図10（D）において示したパッケージは、ボールグリッドアレイ型のインターポーザを用いているが、本発明はこれに限定されない。端子が周辺に配置されているリードフレーム型であっても良い。図11に、リードフレーム型のインターポーザを用いたパッケージの断面構造を表す斜視図を示す。

#### 【0138】

図11に示すパッケージは、チップ351がワイヤボンディング法により、インターポーザ350上の端子352と接続されている。端子352は、インターポーザ350のチップ351がマウントされている面上に配置されている。そしてチップ351はモールド樹脂353によって封止されていても良いが、各端子352の一部が露出した状態で封止されるようにする。

#### 【0139】

次に、図12（A）に、積層されたチップをワイヤボンディング法により接続した、パッケージの断面図を示す。図12（A）では、インターポーザ362上に2つのチップ360、361が積層されている。そしてチップ360は、インターポーザ362に設けられた配線363とワイヤ364によって電氣的に接続されている。また、チップ361は、インターポーザ362に設けられた配線363とワイヤ365によって電氣的に接続されている。

#### 【0140】

なお図12（A）では、チップ360とチップ361がそれぞれインターポー

ザ 362 に設けられた配線とワイヤを介して接続されているが、チップ同士をワイヤで接続するようにしても良い。

#### 【0141】

次に図 12 (B) に、パッケージどうしを積層する例を示す。図 12 (B) では、チップがマウントされたパッケージ 370、371 どうしを、溶剤ボール 372 を用いて電氣的に接続し、なおかつ積層している。

#### 【0142】

チップどうしを積層して 1 つのインターポーザにマウントする場合と、パッケージどうしを積層して用いる場合とを比較すると、前者の場合は後者の場合に比べて、パッケージ全体の大きさを抑えることができるというメリットを有している。一方後者の場合は、前者とは異なり、パッケージごとに電氣的な検査を行ない、良品だけを選別してから積層することができるので、歩留りを高めることができるというメリットを有している。

#### 【0143】

なお本発明のパッケージは、ワイヤボンディング法とフリップチップ法を組み合わせるチップをボンディングしていても良い。また、チップを積層するのではなく、積層したチップや単層のチップをインターポーザ上に並列に並べるようにボンディングしても良い。

#### 【0144】

(実施の形態 5)

本実施の形態では、具体的なチップの積層方法の一例を示す。まず実施の形態 1 に示した作製方法に従って、図 7 (B) のように 1 層目のチップをマウントした状態まで作製する。

#### 【0145】

一方、2 層目のチップを、同じく実施の形態 1 に示した作製方法に従って、図 5 (D) に示す状態まで作製する。そして、次に図 13 (A) に示すように、パッド 620 上にバンプ 621 を作製する。本実施の形態では、熱圧着のみならず超音波振動を加えて、チップどうしを接続する例を挙げて説明するので、バンプ 621 は単なる球状ではなく、突起がついたものを用いる。

**【0146】**

次に図13 (B) に示すように、1層目のチップのパッド622を覆うようにアンダーフィル623を塗布し、そして図13 (A) に示した2層目のチップを、そのバンプ621が1層目のチップのパッド622と向かい合うようにして、圧着する。このとき、本実施の形態では、2層目のチップ側に超音波による振動を与えながら、バンプ621とパッド622を圧着させる。バンプ621の突起は、アンダーフィル623を押し分けるようにパッド622の到達し、そこで押しつぶされ、パッド622に圧着される。

**【0147】**

そしてアンダーフィルを硬化させる処理、具体的には加熱、紫外線照射等を行ない、チップ同士の密着性を高める。次に、実施の形態1に示したように、金属酸化膜624を結晶化させる。結晶化により、金属酸化膜624が粒界において割れやすくなり、脆性を高めることができる。本実施の形態では、420℃～550℃、0.5～5時間程度加熱処理を行ない、結晶化を行なった。

**【0148】**

次に図14 (A) に示すように、両面テープ525を用い、第1の基板526に第3の基板527を貼り付ける。そして、図14 (B) に示すように、第1の基板526を2層目のチップ628から、金属酸化膜624の部分を境に引き剥がす。

**【0149】**

上記構成によって、1層目のチップ629と2層目のチップ628とを電氣的に接続するように積層することができる。

**【0150】****【実施例】**

本発明の電子機器の1つである携帯電話を例に挙げ、パッケージが実際に電子機器に実装されている様子を図15 (A) に示す。

**【0151】**

図15 (A) に示す携帯電話のモジュールは、プリント配線基板806に、コントローラ801、CPU802、メモリ811、電源回路803、音声処理回

路 829 及び送受信回路 804 や、その他、抵抗、バッファ、容量素子等の素子が実装されている。また、パネル 800 が FPC 808 によってプリント配線基板 806 に実装されている。パネル 800 には、発光素子が各画素に設けられた画素部 805 と、前記画素部 805 が有する画素を選択する走査線駆動回路 806 と、選択された画素にビデオ信号を供給する信号線駆動回路 807 とが設けられている。

#### 【0152】

プリント配線基板 806 への電源電圧及びキーボードなどから入力された各種信号は、複数の入力端子が配置されたプリント配線基板用のインターフェース (I/F) 部 809 を介して供給される。また、アンテナとの間の信号の送受信を行なうためのアンテナ用ポート 810 が、プリント配線基板 806 に設けられている。

#### 【0153】

なお、本実施例ではパネル 800 にプリント配線基板 806 が FPC を用いて実装されているが、必ずしもこの構成に限定されない。COG (Chip on Glass) 方式を用い、コントローラ 801、音声処理回路 829、メモリ 811、CPU 802 または電源回路 803 をパネル 800 に直接実装させるようにしても良い。

#### 【0154】

また、プリント配線基板 806 において、引きまわしの配線間に形成される容量や配線自体が有する抵抗等によって、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることがある。そこで、プリント配線基板 806 に容量素子、バッファ等の各種素子を設けることで、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりするのを防ぐことができる。

#### 【0155】

図 15 (B) に、図 15 (A) に示したモジュールのブロック図を示す。

#### 【0156】

本実施例では、メモリ 811 として VRAM 832、DRAM 825、フラッシュメモリ 826 などが含まれている。VRAM 832 にはパネルに表示する画

像のデータが、DRAM 825には画像データまたは音声データが、フラッシュメモリには各種プログラムが記憶されている。

#### 【0157】

電源回路803では、パネル800、コントローラ801、CPU802、音声処理回路829、メモリ811、送受信回路831電源電圧が生成される。またパネルの仕様によっては、電源回路803に電流源が備えられている場合もある。

#### 【0158】

CPU802は、制御信号生成回路820、デコーダ821、レジスタ822、演算回路823、RAM824、CPU用のインターフェース835などを有している。インターフェース835を介してCPU802に入力された各種信号は、一旦レジスタ822に保持された後、演算回路823、デコーダ821などに入力される。演算回路823では、入力された信号に基づき演算を行ない、各種命令を送る場所を指定する。一方デコーダ821に入力された信号はデコードされ、制御信号生成回路820に入力される。制御信号生成回路820は入力された信号に基づき、各種命令を含む信号を生成し、演算回路823において指定された場所、具体的にはメモリ811、送受信回路831、音声処理回路829、コントローラ801などに送る。

#### 【0159】

メモリ811、送受信回路831、音声処理回路829、コントローラ801は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

#### 【0160】

キーボード831から入力された信号は、インターフェース809を介してプリント配線基板806に実装されたCPU802に送られる。制御信号生成回路820は、キーボード831から送られてきた信号に従い、VRAM832に格納してある画像データを所定のフォーマットに変換し、コントローラ801に送付する。

#### 【0161】



コントローラ 801 は、パネルの仕様に合わせて CPU 802 から送られてきた画像データを含む信号にデータ処理を施し、パネル 800 に供給する。またコントローラ 801 は、電源電圧 803 から入力された電源電圧や CPU から入力された各種信号をもとに、Hsync 信号、Vsync 信号、クロック信号 CLK、交流電圧 (AC Cont) を生成し、パネル 800 に供給する。

#### 【0162】

送受信回路 804 では、アンテナ 833 において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO (Voltage Controlled Oscillator)、LPF (Low Pass Filter)、カプラ、バランなどの高周波回路を含んでいる。送受信回路 804 において送受信される信号のうち音声情報を含む信号が、CPU 802 からの命令に従って、音声処理回路 829 に送られる。

#### 【0163】

CPU 802 の命令に従って送られてきた音声情報を含む信号は、音声処理回路 829 において音声信号に復調され、スピーカ 828 に送られる。またマイク 827 から送られてきた音声信号は、音声処理回路 829 において変調され、CPU 802 からの命令に従って、送受信回路 804 に送られる。

#### 【0164】

コントローラ 801、CPU 802、電源回路 803、音声処理回路 829、メモリ 811 を、本発明のパッケージとして実装することができる。本発明は、アイソレータ、バンドパスフィルタ、VCO (Voltage Controlled Oscillator)、LPF (Low Pass Filter)、カプラ、バランなどの高周波回路以外であれば、どのような回路にも応用することができる。

#### 【0165】

##### 【発明の効果】

そして本発明は、シリコンウェハに比べて安価で大型のガラス基板を用いることができるので、より低いコストで、なおかつ高いスループットでチップを大量生産することができ、チップ一枚当たりの生産コストを飛躍的に抑えることができる。また、基板を繰り返し使用することも可能なので、チップ 1 枚あたりにか

かるコストを削減することができる。

#### 【0166】

また、トータルの膜厚を  $5\mu\text{m}$ 、より望ましくは  $2\mu\text{m}$  以下となるようにチップを形成することが可能であり、クラックや研磨痕の原因となるバックグラインド処理を行わずして、チップを飛躍的に薄くすることができる。そしてチップの厚さのバラツキも、チップを構成する各膜の成膜時におけるばらつきに依存することになるので、大きくても数百  $\text{nm}$  程度であり、バックグラインド処理による数～数十  $\mu\text{m}$  のばらつきと比べて飛躍的に小さく抑えることができる。

#### 【0167】

そして本発明のパッケージを電子機器に用いることで、回路規模やメモリ容量のより大きいチップを、電子機器の限られた容積の中により多く搭載することができ、電子機器の多機能を実現しつつ、小型化、軽量化させることもできる。特に携帯用電子機器の場合、その小型化、軽量化が重要視されているため、本発明のパッケージを用いることは有効である。

#### 【0168】

また本発明では、半導体膜に吸収されやすい可視光線以下の波長を有する、パルス発振の第1のレーザ光を照射することで半導体膜を溶融し、基本波の吸収係数を高める。第1のレーザ光をパルス発振とすることで、連続発振のときよりもビームスポットの面積を飛躍的に広く取ることができる。そしてその溶融した状態で基本波を有する第2のレーザ光を照射することで、基本波の吸収係数が高められた半導体膜に第2のレーザ光が効率良く吸収される。よって、ビームスポットの長軸を長く取ることができるため、レーザ結晶化のスループットを高めることができ、またチップのデザインルールの緩和に有効である。

#### 【0169】

また第2のレーザ光を基本波とすることで、高調波への変換に用いる非線形光学素子の耐性を考慮する必要はなく、第2のレーザ光として、非常に大出力のレーザ、例えば高調波の100倍以上のエネルギーのものをを用いることができる。そして、非線形光学素子の変質によるメンテナンスの煩雑さがなくなる。特に、メンテフリーの状態を長く保てるという固体レーザの利点を、生かすことができ

る。

【図面の簡単な説明】

【図 1】 本発明において、半導体膜の結晶化におけるビームスポットの走査経路を示す図と、チップがマウントされたパッケージの斜視図。

【図 2】 レーザ光の波長と吸収係数の関係を示す図。

【図 3】 ビームスポットの大小関係を示す図。

【図 4】 結晶化において用いるレーザ照射装置の構造を示す図。

【図 5】 パッケージの作製方法を示す図。

【図 6】 パッケージの作製方法を示す図。

【図 7】 パッケージの作製方法を示す図。

【図 8】 パッケージの作製工程のフローチャート。

【図 9】 パッケージの作製工程におけるダイシングのタイミングを示す図。

【図 10】 パッケージの断面構造を示す斜視図と、断面図。

【図 11】 パッケージの断面構造を示す斜視図。

【図 12】 パッケージの断面構造を示す断面図。

【図 13】 積層型のパッケージの作製方法を示す図。

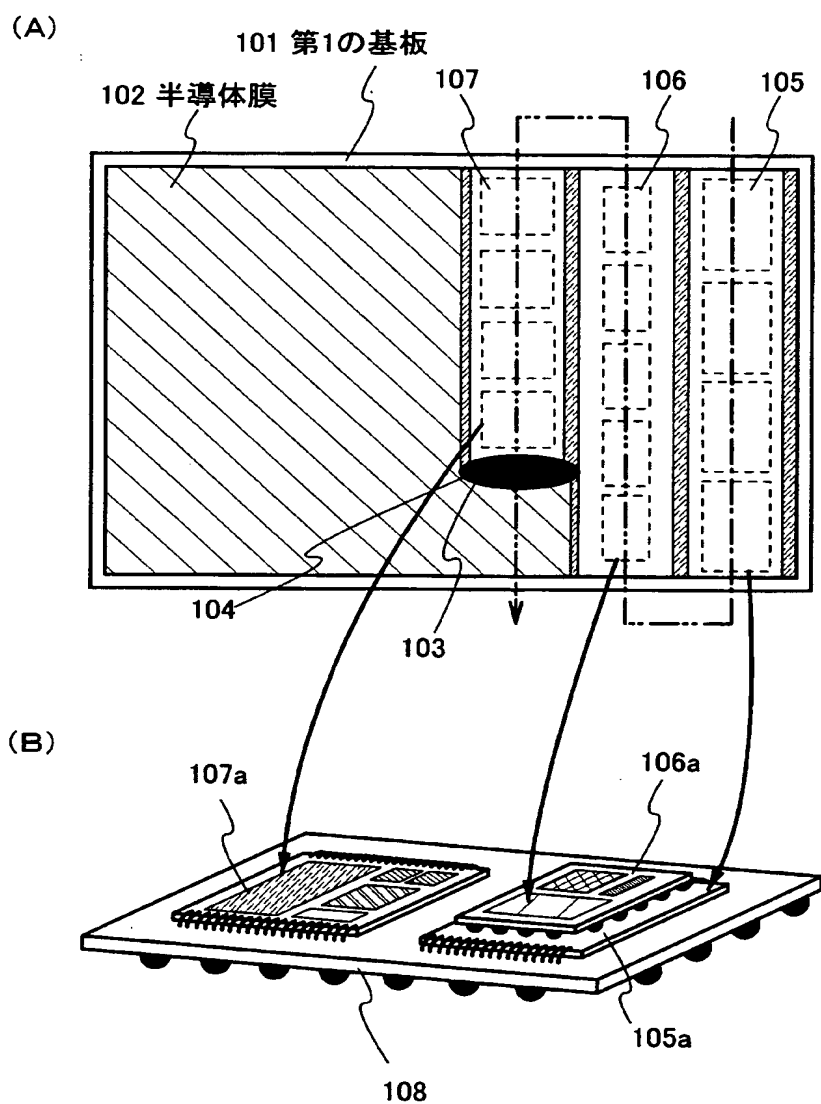
【図 14】 積層型のパッケージの作製方法を示す図。

【図 15】 本発明の電子機器の一つである携帯電話のモジュールの上面図とブロック図。

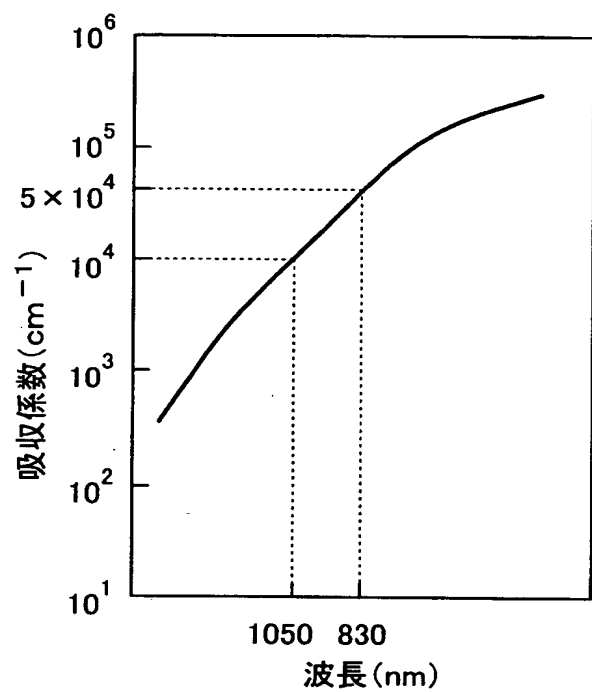
【書類名】

図面

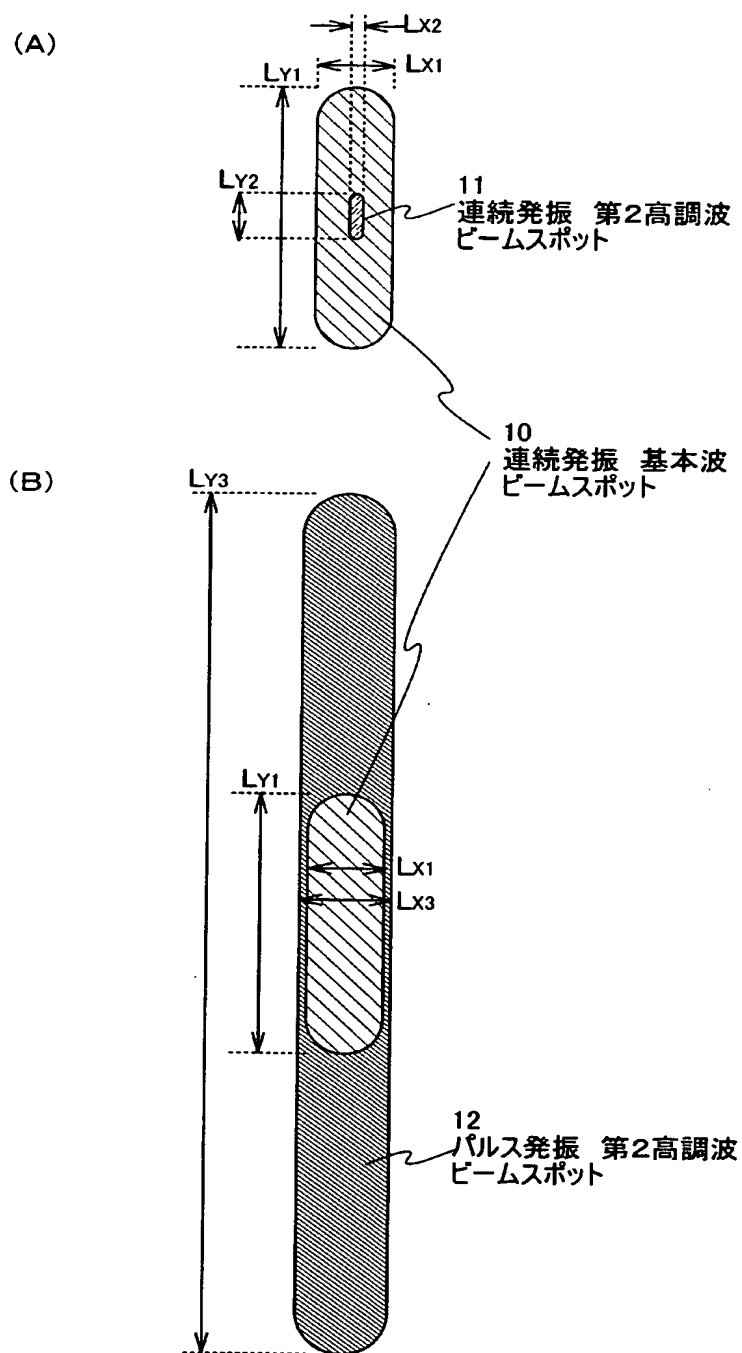
【図 1】



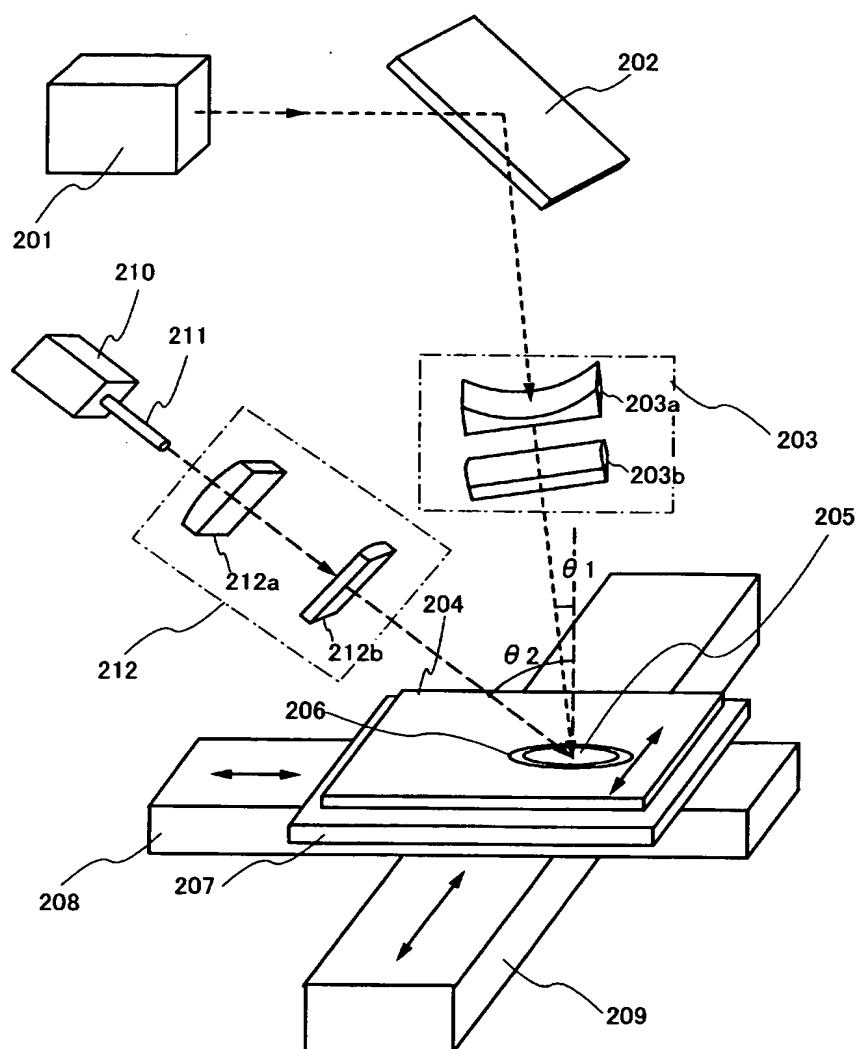
【図 2】



【図 3】

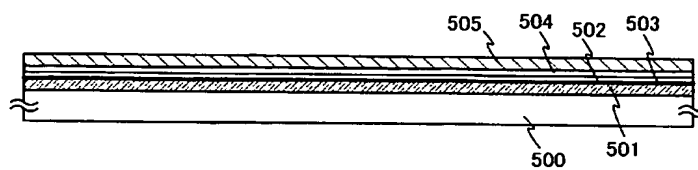


【図 4】

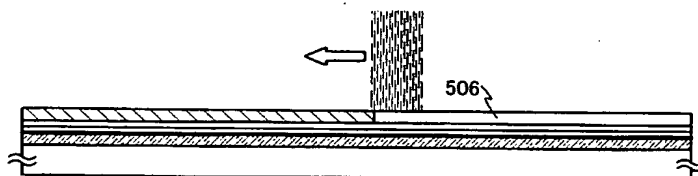


【図 5】

(A)



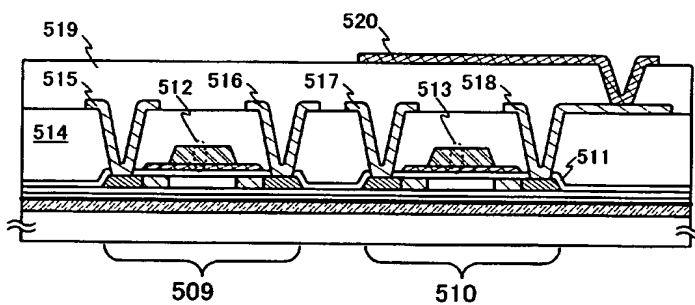
(B)



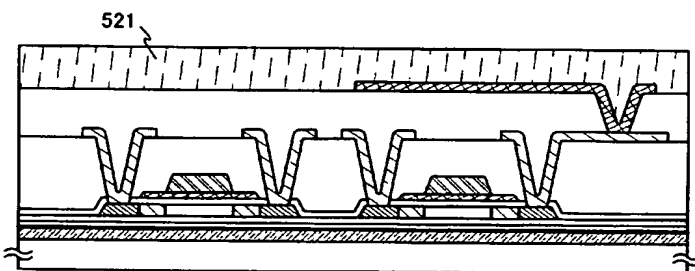
(C)



(D)

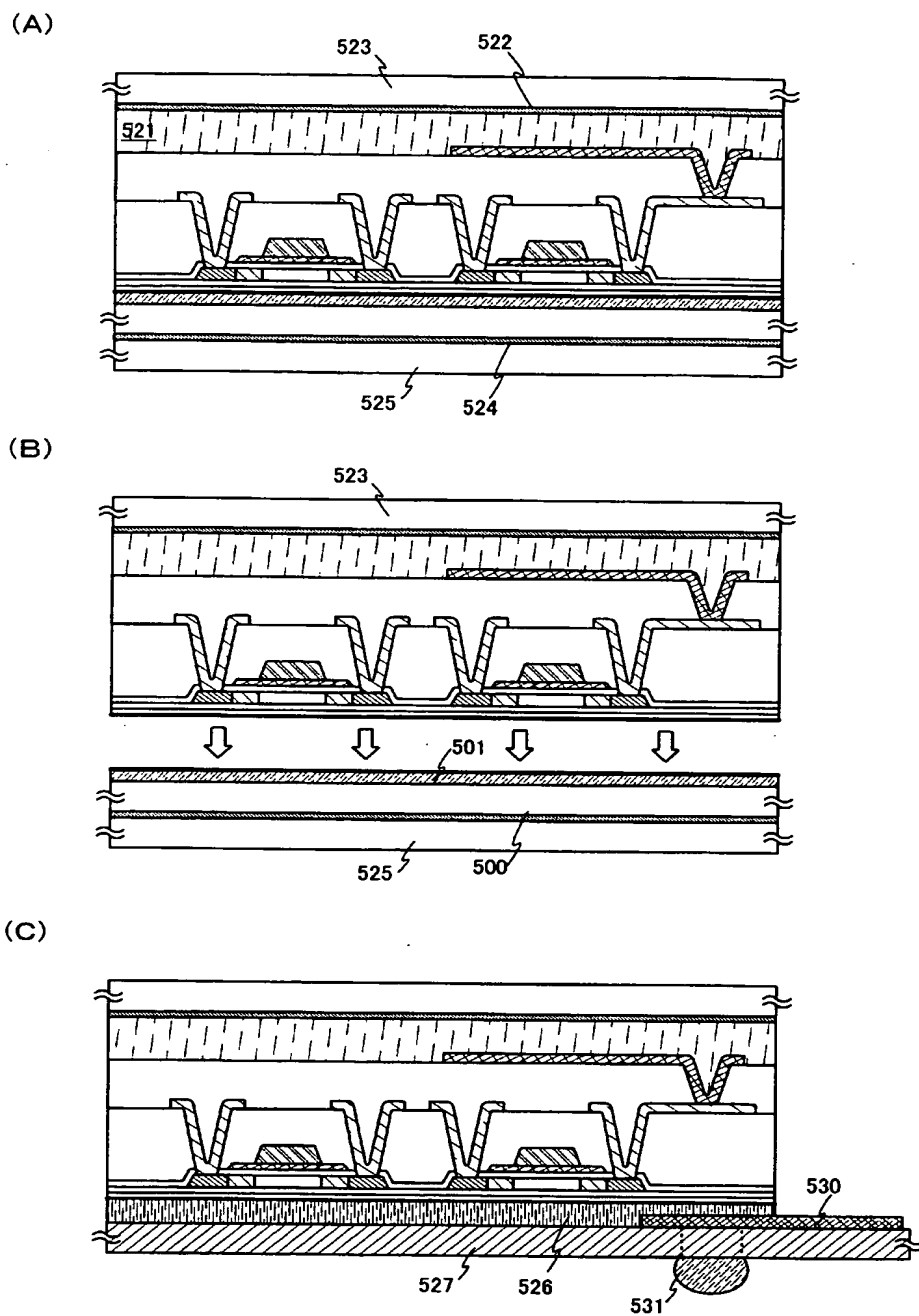


(E)

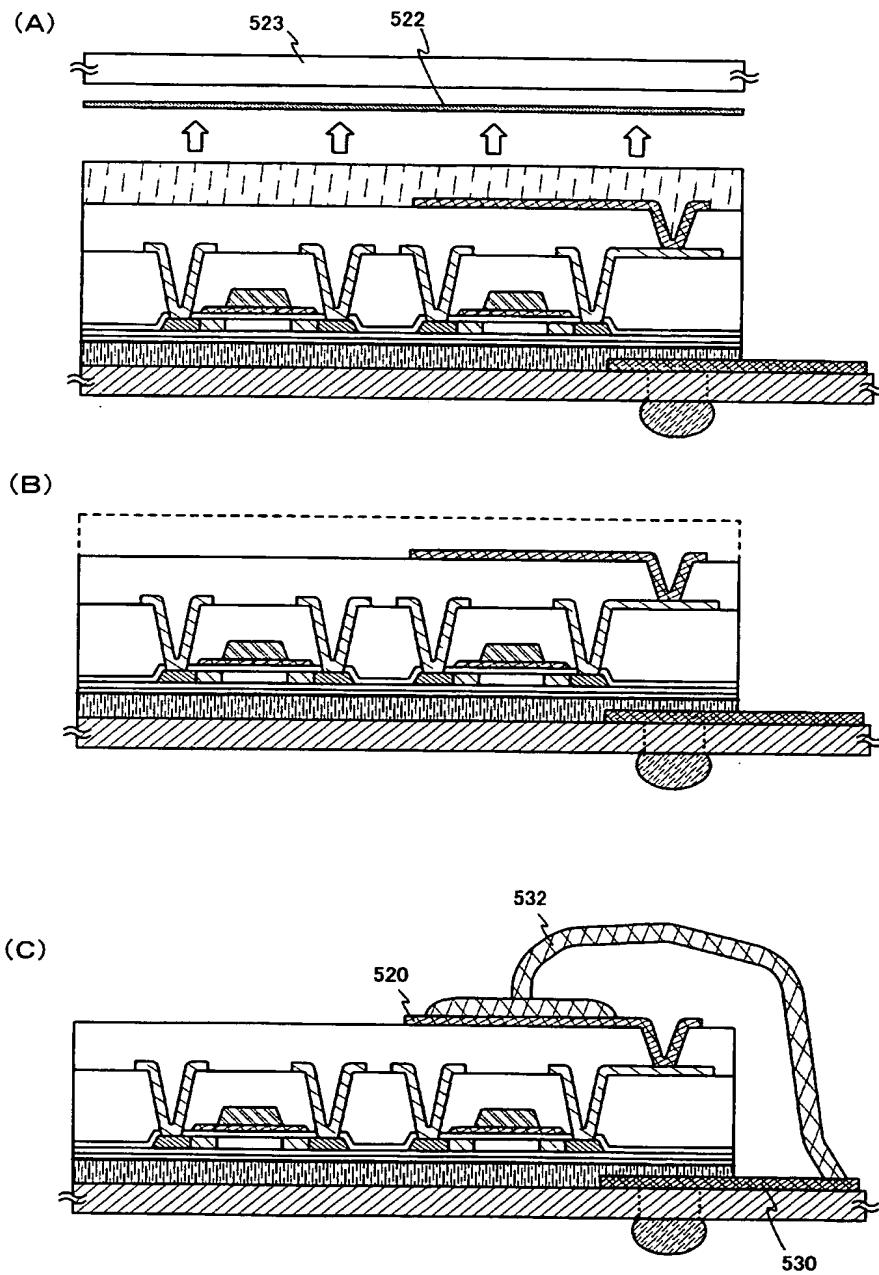




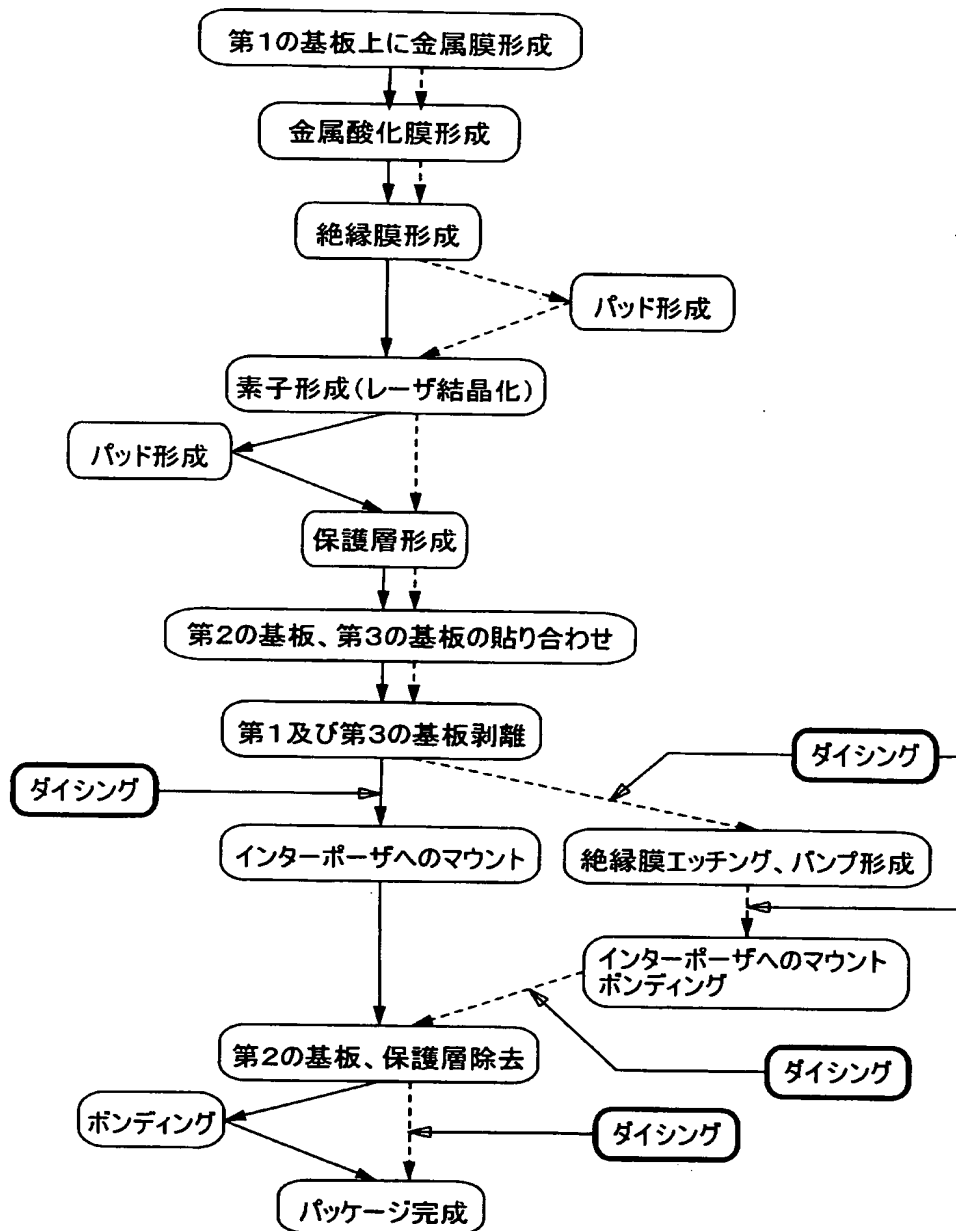
【図 6】



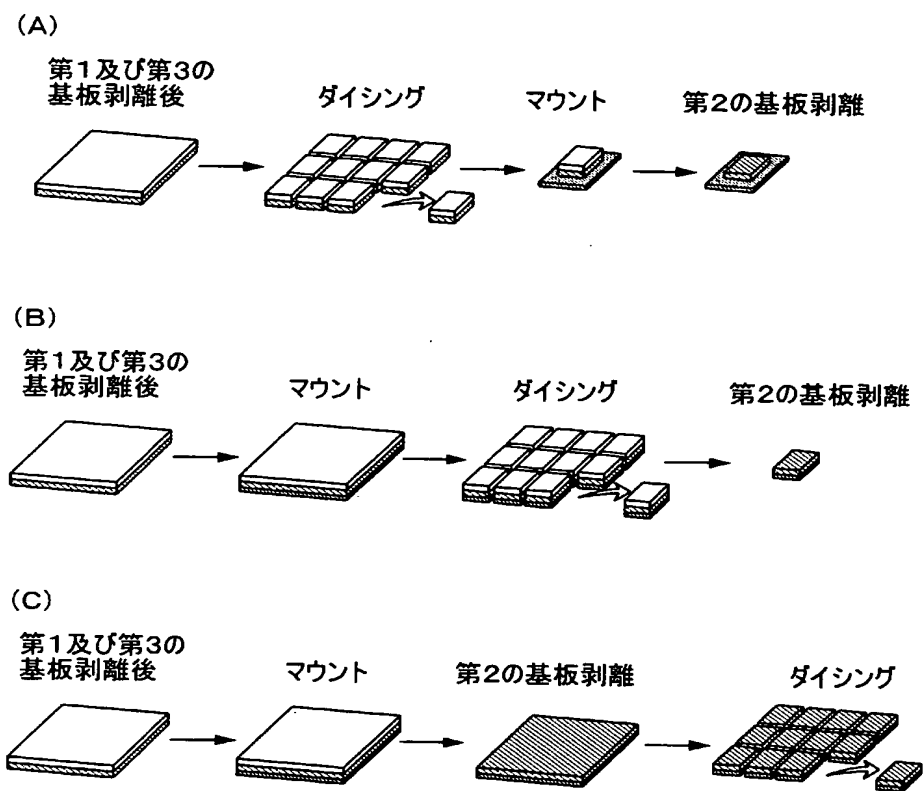
【図 7】



【図 8】

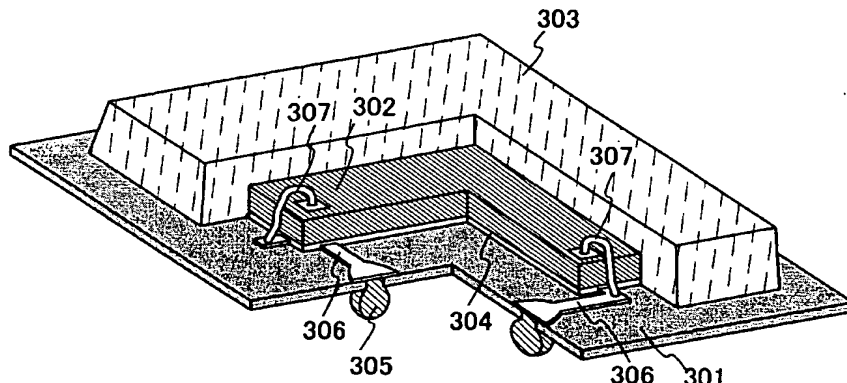


【図 9】

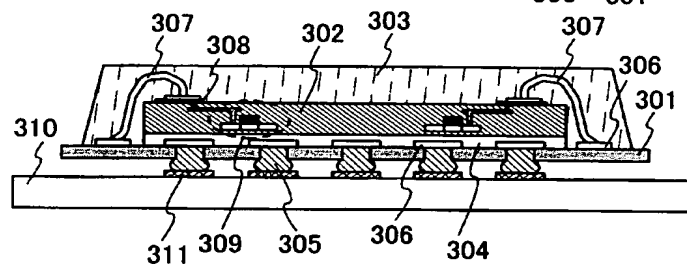


【図 10】

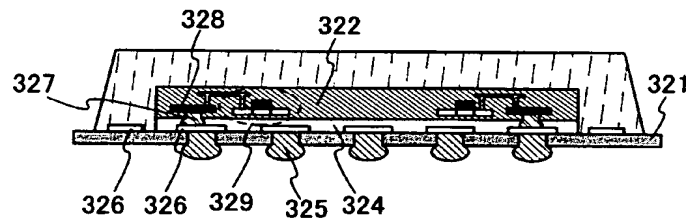
(A)



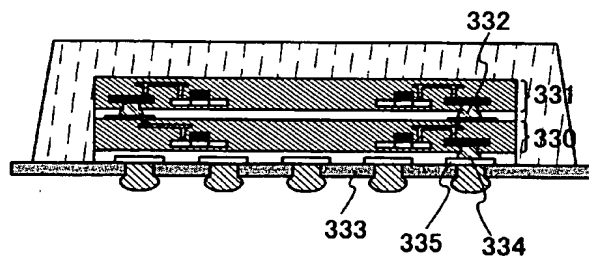
(B)



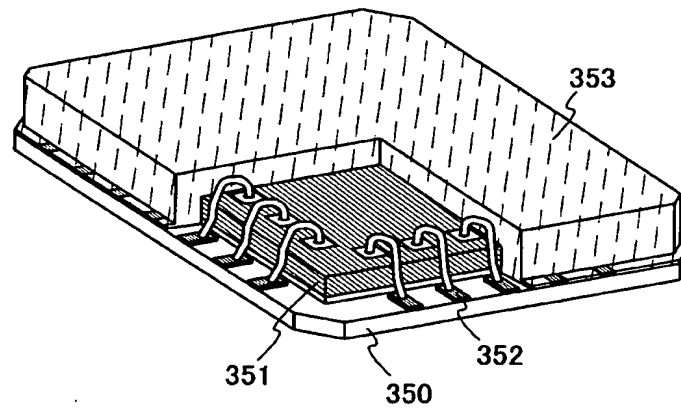
(C)



(D)

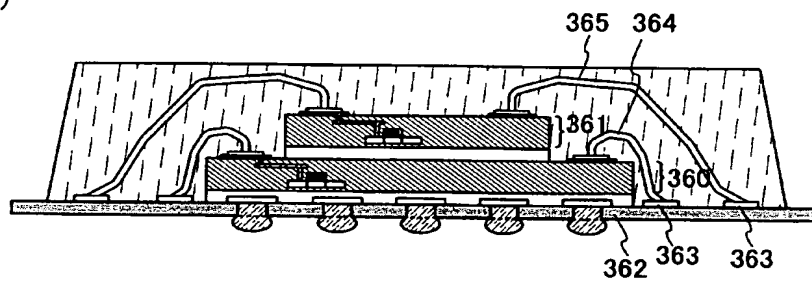


【図 11】

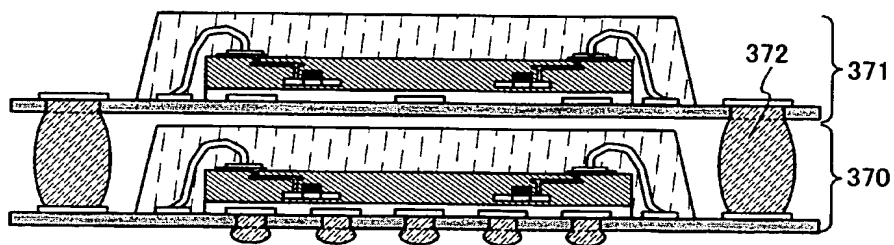


【図 12】

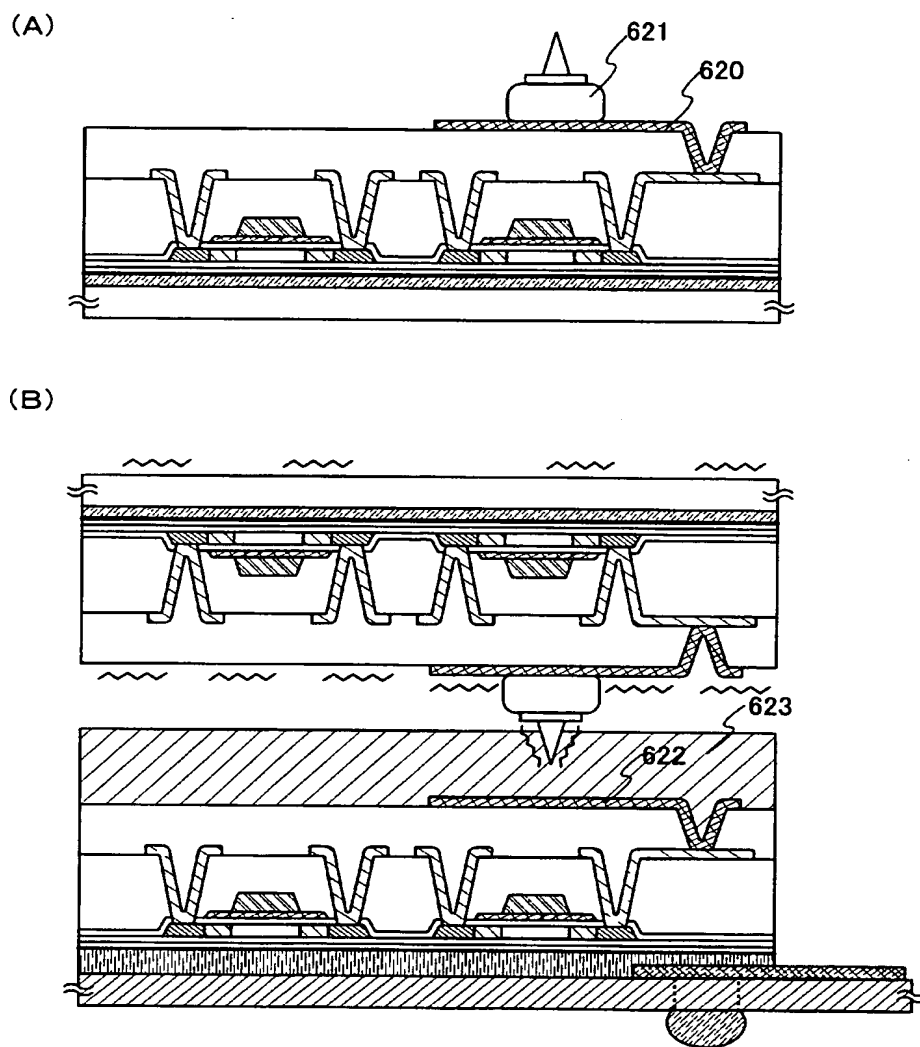
(A)



(B)

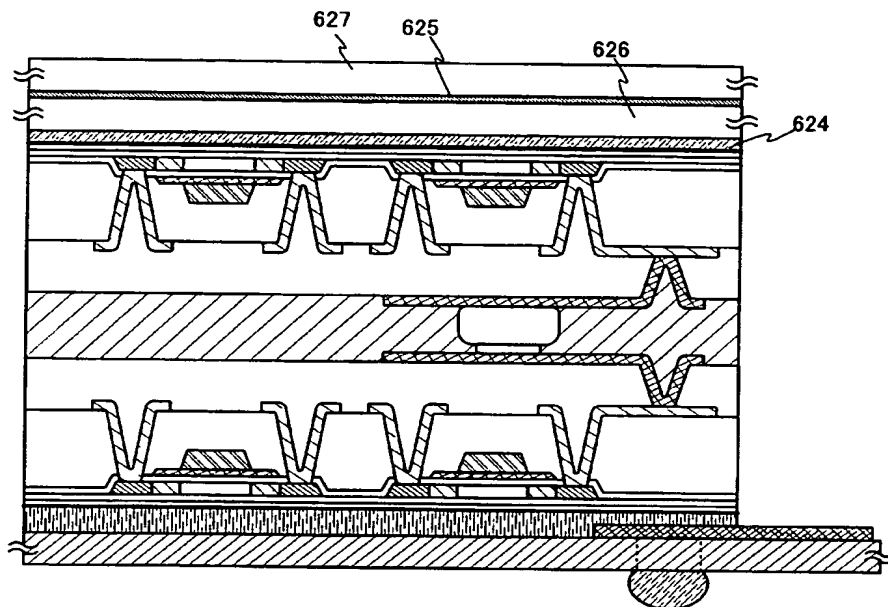


【図 13】

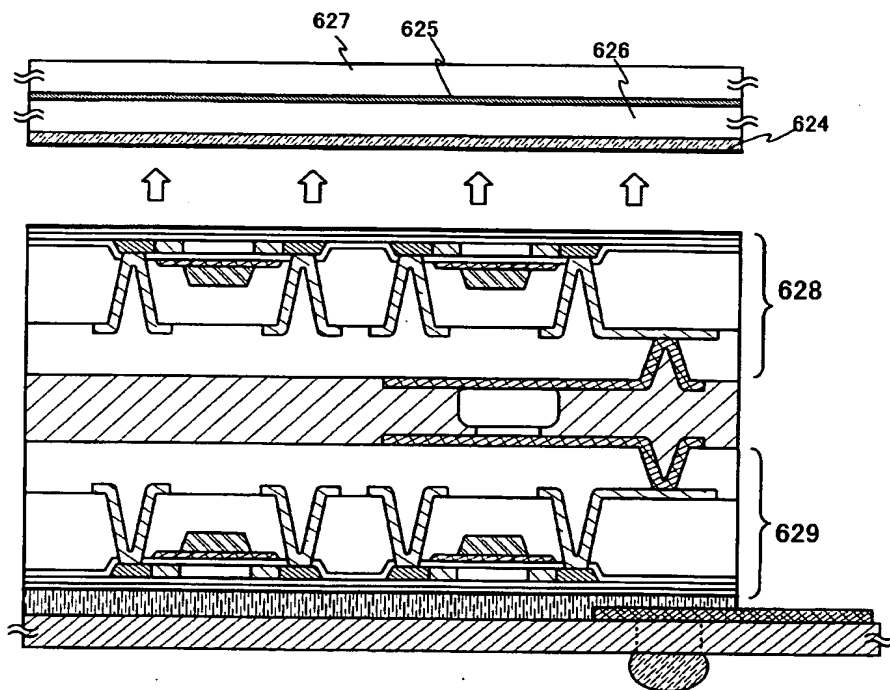


【図 14】

(A)

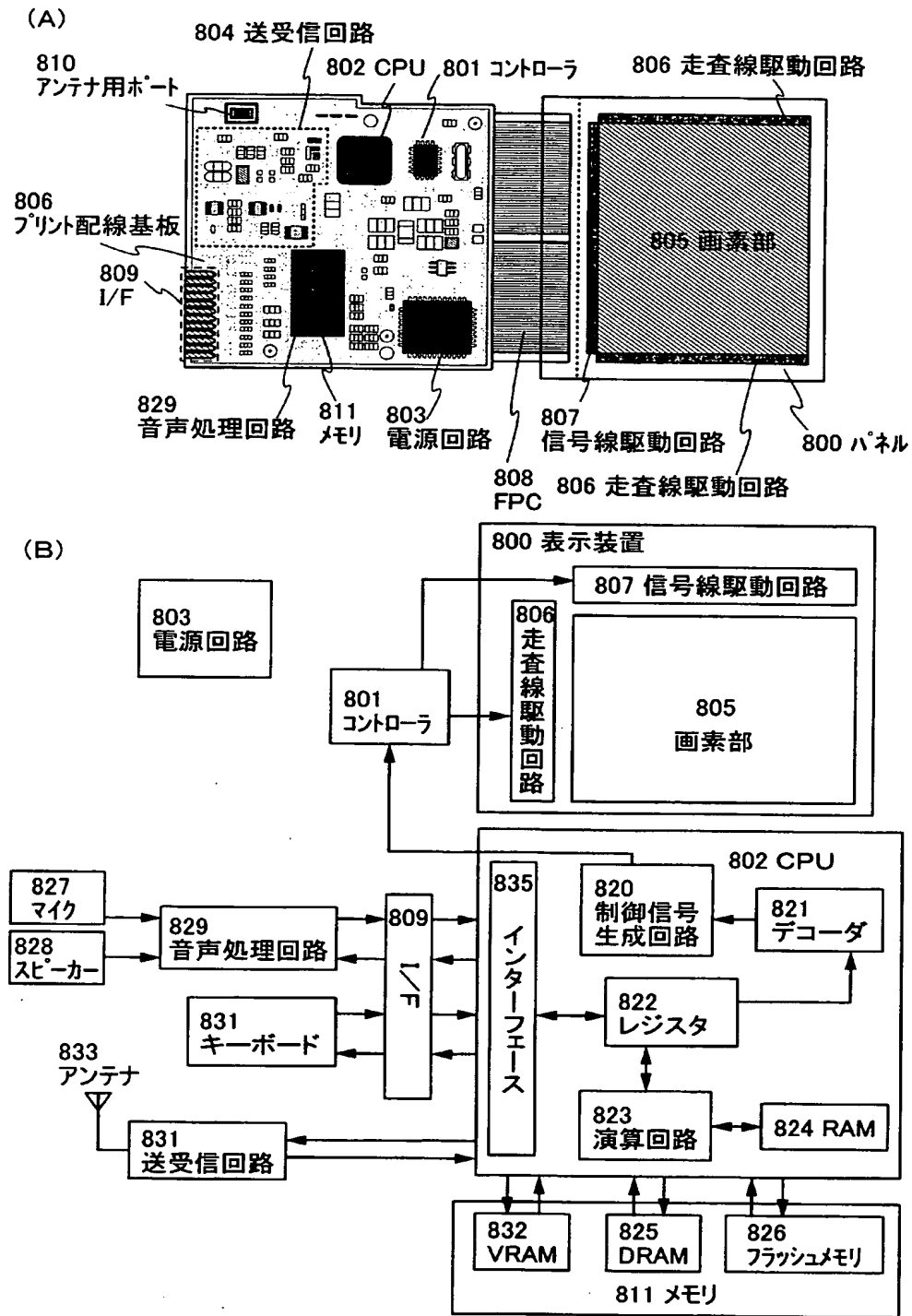


(B)





【図 15】



**【書類名】 要約書****【要約】**

**【課題】** クラックや研磨痕の原因となるバックグラインド処理を行わずして、チップを飛躍的に薄くすることができ、より低いコストでなおかつより高いスループットでチップを作製することができ、チップの厚さのバラツキを抑えることができる、パッケージとその作製方法の提供を課題とする。

**【解決手段】** 本発明では、支持体として機能する基板上に成膜した膜厚 500 nm 以下の薄膜の半導体膜を、連続発振のレーザ光で結晶化し、その結晶化された半導体膜を用いて、トータルの膜厚 5  $\mu$ m、より望ましくは 2  $\mu$ m 以下の薄膜の半導体素子を有するチップを形成する。そして最終的に基板を剥離した状態で、該チップをインターポーザにマウントする。

**【選択図】** 図 1

特願 2 0 0 2 - 3 6 6 1 5 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所